TK-85
I/O BOARD

ユーザズマニュアル

JMC 日本マイクロコンピュータ株式会社

TK-85 I/O BOARD

ユーザズマニュアル

JMC 日本マイクロコンピュータ株式会社

目　次

付録

1章　序　　文

この“TK－85　I／O　BOARD”は，NEC製ワンボード・マイクロコンピュータ“TK－85”の応用を，具体的にサポートする為に開発されたものです．

マイクロコンピュータのコンピュータ界に於ける役割は拡大する一方ですが，特にその小型・安価と云う性質上，システムの末端へ末端へと拡がり，末端部のインテリジェント化を促進させております．又，工場設備，事務機器，家電製品，玩具と言った様な，従来人間の手動操作に頼っていた領域へ入り込み，省エネルギーとからんだ自動化ブームを引き起しております．

これ等に於いて，マイクロコンピュータに要求される機能は，システム外部との情報の直接のやりとりであり，又，メカニカル部のコントロールであり，或は，人間の感覚器の代行を果す物理的変化／化学的変化の感知と判断等々です．

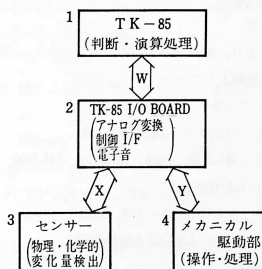



図1－1　機能構成図

図1－1を参照して下さい．このI／OボードはTK－85と結合することにより，上述の拡大してゆくマイクロコンピュータへの要求に対応する機能を実験し学習して行く為のトレーニング機とか，実機設計前のシュミレーション・ボードの役割を，指向するものです．手法により，実際のシステムに組込むことも，もちろん可能です．

最近の各種センサーの低価格化に伴い，職場，学校での教育，のみならずホビイストにあっても，機材として本ボードのAD／DA変換を伴う制御を十分活用し，現実の場でのマイクロコンピュータの働きを深く理解されることを希望するものです．

TK-85 I/O BOARD仕様

1．外形寸法（単位mm）

1－1　本体：$180^{W}\times(300+10)^{L}\times25^{H}$

但し～寸法はエッジ端子部

1－2　マザー・ボード：$47^{W}\times180^{L}\times24^{H}$

2．使用電源 & 消費電流

2－1　DC＋5Ｖ±5％　800mA以下

2－2　DC＋12Ｖ±5％　100mA以下

2－3　DC－12Ｖ±5％　50mA以下

3．機能 & 主要搭載デバイス

3－1.1　RAM　3ＫByte（内2ＫByteは増設ソケット）

μPD2114LC使用.

3－1.2　I/O デコーダ

SN74154により，00H～3FH間を16ブロックにデコード.

3－1.3　使用信号は原則としてバッファして送受.

○データバス・バッファ：74LS245×2

○アドレスバス・バッファ：74LS365×2

○その他の信号：74LS32，7406，74LS04，74LS00

3－2.1　PPI：パラレルI/Oポート

○μPD8255AC，各8Bitのポート A, B, C.

○内，ポートBは下記のLED表示器接続済.

3－2.2　データ表示回路

LED，7406ドライバ，R-Arrayによる2進表示回路をポートＣに付設.

3－3.1　A/Dコンバータ：ADC 0804（NS製）

○CMOS　8Bit μPバス・コンパチブルタイプ.

○変換速度　平均110μs（fosc＝660kHz時）

○非直線性誤差　±1/4 LSB

○総合誤差　±1/2 LSB（フルスケール調整時）

○入力信号レベル　＋0Ｖ～＋5Ｖ

（絶対最大 －0.3Ｖ～＋5.3Ｖ）

○差動入力　1CH

3－3.2　アナログ・マルチプレクサ：MC14052（モトローラ製）

○CMOS　3電源方式（2電源にて制限使用）

○差動入力　4CH

○入力信号レベル　＋0V～＋5Vにて制限使用.

○データバス・ビット　D0,D1を使ったチャンネル・セレクター回路(74LS74)付設により各CHのソフト(プログラム)選択可能.

3－3.3　モード選択 SW

自走モード／割込モードの2種の制御方式をSW切替により可能とする.

3－4.1　D/Aコンバータ：NE5018（シグネティクス製）

○8Bit μPバス・コンパチブルタイプ

○確度　±1/2　LSB

○V_{REF}　＋5V　60ppm/℃を内蔵

○出力極性選択用ジャンパー・ピンにより－5V～＋5V，0V～＋10Vの両タイプの出力方式を選定出来る.

3－4.2　バッファアンプ：NA741C

±12V電源供給による，ボルテッジ・フォロアにて，D/Aコンバータ出力をバッファリング.

3－5.1　PSG（プログラマブル・サウンド・ジェネレータ）：AY－3－8910（GI製・別売）

○8Bit データ/アドレスバス.（TK－85本体のポートB　8Bitと接続し，プログラム制御）

○4Bit コントロールバス（TK－85本体のポートC　3Bitと接続し，プログラム制御）

○専用ROM/RAM（256 Byte）の接続・直接制御可能.

○8Bit×16個の内部レジスタの読み／書きにより，音階音及び各種疑似音を発生する.

○水晶発振回路fxtal＝3.579545MHz（別売）を2分周して供給.

3－5.2　オーディオパワーアンプ：μPC575C（NEC製）

○最大出力2W，付設ボリューム回路にて音量調整.

○LINE OUTジャックに外部アンプへのプラグを挿入することにより，内部アンプ側シャ断.

4．動作環境

4－1　温度範囲　＋5℃～＋40℃

4－2　湿度範囲　30％～80％（但し結露のないこと）

4－3　大気状態　有毒ガスの無いこと

カードエッジ信号表

ピン	A	B	ピン	A	B	ピン	A	B
1	GND	GND	18			35	PB 5	$\overline{\mathrm{RST6.5}}$
2	GND	GND	19			36	PB 6	NC
3	＋5V	＋5V	20		$\overline{\mathrm{MEMR}}$	37	PB 7	NC
4		NC	21		$\overline{\mathrm{MEMW}}$	38	PC 0	NC
5		NC	22	READY		39	PC 1	NC
6	$\overline{\mathrm{ALE}}$	NC	23			40	PC 2	NC
7		NC	24			41	PC 3	NC
8	$\overline{\mathrm{RD}}$	NC	25	$\overline{\mathrm{HOLD}}$	$\overline{\mathrm{HLDA}}$	42	$\overline{\mathrm{CS\ 3}}$	$\overline{\mathrm{INTR}}$
9	$\overline{\mathrm{WR}}$	IO/$\overline{\mathrm{M}}$	26		DB 7	43	$\overline{\mathrm{CS\ 2}}$	$\overline{\mathrm{INTR}}$
10	AB15	AB 7	27	DMA	DB 6	44	$\overline{\mathrm{CS\ 1}}$	RESET OUT
11	AB14	AB 6	28	$\overline{\mathrm{DMA}}$	DB 5	45	$\overline{\mathrm{RESET\ IN}}$	$\overline{\mathrm{RESET\ OUT}}$
12	AB13	AB 5	29	$\overline{\mathrm{DBSL}}$	DB 4	46		
13	AB12	AB 4	30	PB 0	DB 3	47		
14	AB11	AB 3	31	PB 1	DB 2	48	CLK	S0・S1
15	AB10	AB 2	32	PB 2	DB 1	49		S0＋S1
16	AB 9	AB 1	33	PB 3	DB 0	50	GND	GND
17	AB 8	AB 0	34	PB 4	$\overline{\mathrm{RST5.5}}$			

2章　構成と機能

本ボードは写真2－1に見られる形態をしており，基本的に写真2–2に示します様に，ワンボード・マイコンTK－85と（付属の）マザー・ボードを介して結合されます.

構成は大きく分けて，次の4機能になります.

1．**アナログ変換———A/Dコンバータ，D/Aコンバータ**

2．**汎用入出力———PPI＋データ表示器.**

3．**音声発生———プログラマブル・サウンドジェネレーター＋オーディオアンプ**

4．**サポート回路———増設RAM, I/O-アドレスデコーダー，信号用バッファ・ドライバー**

TK－85側も含めたシステム・ブロック図を図2－2に示します(これは写真2－2のシステムに相当します).

マザー・ボードを挟んだ左側がTK－85ボード，右側が多目的I／Oボードです．TK－85側に関しては，TK－85トレーニングブックの11章（頁171～）を参照下さい.

I／Oボード上にはユーザ・アプリケーションの為のフリーエリアが設けてあり，ユニバーサル・パターン化されています．このエリアで図1－1の，インターフェイス－X，－Yの回路を組むことが出来ます.

I／Oボード内ではマザーボードより受けた信号は一旦バッファリングして使用し，逆に内部より送り出す信号は，必ずバッファリングしてマザーボード（又はフリーエリア）へ送り出しています．従って応用回路設計時にI／Oボード内既成回路のファン・イン，ファン・アウトへの配慮は少くて済みます.

写真２－１　I/O BOARD

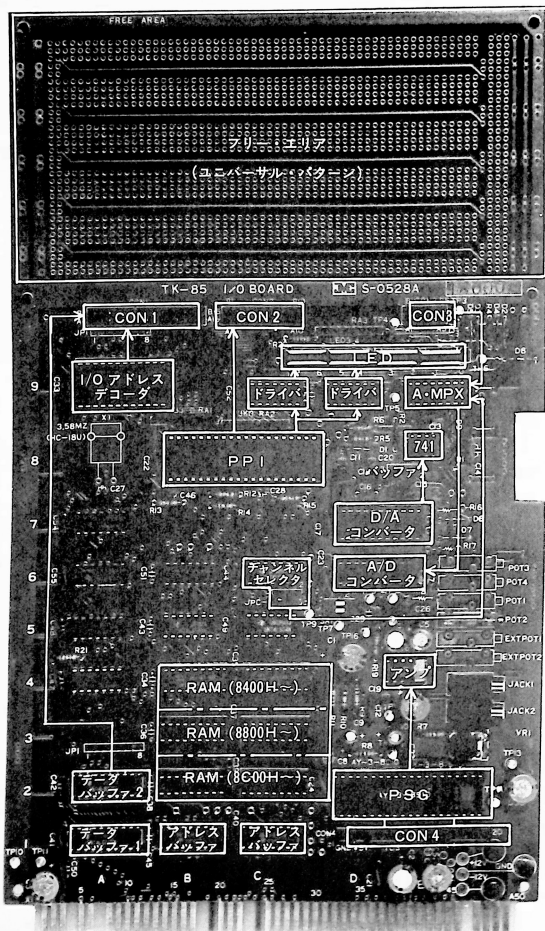
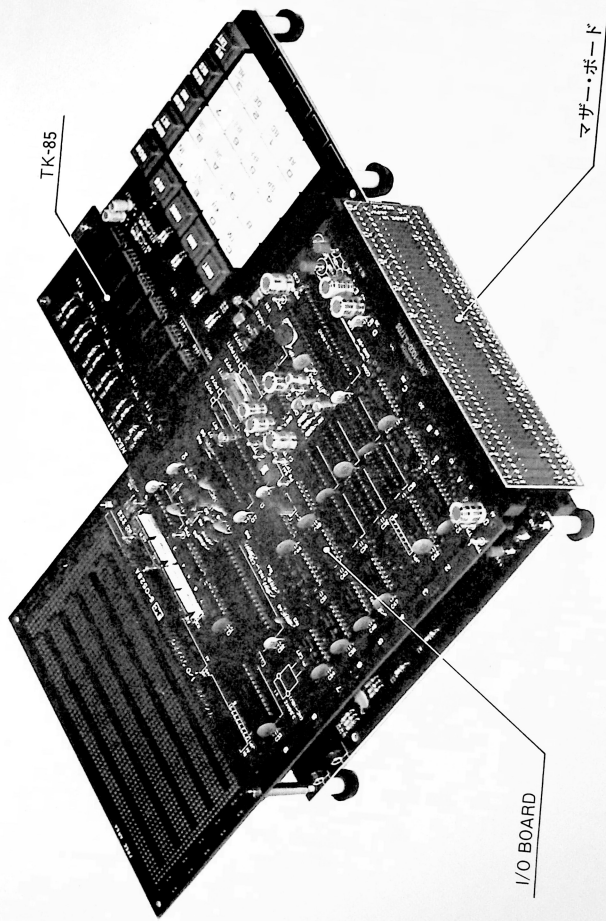



写真２－２　TK85 ＋ I/O BOARD 結合図

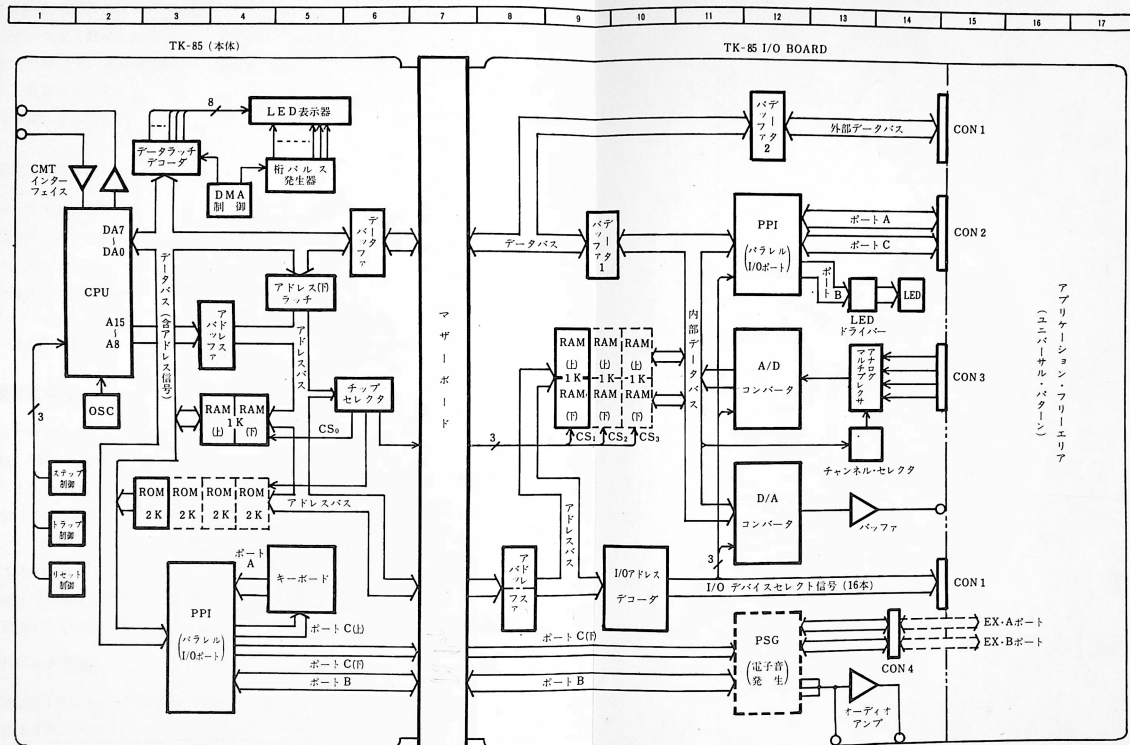



図2－2　システムブロック図

2．1　アナログ変換

データバス上の8ビット・デジタルデータをとり込み，アナログ値に変換して出力するD/Aコンバータ〈図面座標：12G〉と，センサー等よりとり込んだアナログデータを8ビットデータに変換してデータバス上に載せるA/Dコンバータ〈12E〉があります．

又，何点かのアナログデータを時分割にて処理出来る様，4チャンネルのアナログ・マルチプレクサ〈13E〉，使用チャンネルをソフト（プログラム）にて切替える為のチャンネル・セレクター〈13F〉を付設してあります．

2．2　汎用入出力

アナログ←→デジタル処理の為には，一般に，種々の入出力回路が目的に応じて付設されます．それ等の制御用とか，インターフェイス用として，汎用パラレルI／Oポート（PPI）8255が搭載されています．8ビット3ポートの内，PBはデータを2進表示する8ビット・LED〈14D〉を付設してあります．この表示器は，5章に述べますA/Dコンバータのスケール調整やオフセット調整，D/Aコンバータの入力データ確認用，又TK－85本体の7SEG・LED表示器と組合せて，2進数対16進数，10進数，8進数，等の対比表示器としても活用出来ます．

2．3　電子音発生

ここにはPSG（プログラマブル・サウンド・ジェネレータ）として，疑似音，音階音とも自由に作成出来るLSI，AY－3－8910を採用してあり〈12I〉，2W出力のオーディオアンプ〈13J〉を付設してありますので，スピーカを接続するだけで使用出来ます（但し，LSIと，Xtalはオプション購入となっております），又外部アンプに引き出す為のLINE・OUT用JACKも付いています．

図1－1・3のセンサーより取込んだアナログデータが，下限レベルに満たない時，又ある上限レベルを越えた時警報を発するとか，データ範囲を数ランクに分割して，各ランクに異った音（例えば音階音）を割り振っておき，取込データを音で判断する等の役割を分担する所です．

2．4　サポート回路

TK－85本体には1KバイトのRAMが実装されています．I／Oボード上に3Kバイト〈9，10E〉が増設出来ます（内1Kバイトは実装，2Kバイトはソケットのみ）．
このシステムでは，I／O機器の制御はI／OマップドI／O方式（表5－1参照）をとっており，00H～FFHのアドレス（機器番号）の内，00H～3FHまでをI／Oアドレスデコーダ〈10H〉によりデコードしてあります．I／O機器の増設にはこのデコードされた信号を使用し，フリーエリアにて活用することが出来ます．

I／Oボード内既成回路部は外部との信号のやりとりに於いて，バッファを経由してあり，

負荷的にアイソレートされています．特に，データバスは既成回路部用データバッファ1〈9 C〉と，フリーエリアでの応用回路用 データバッファ2〈12A〉の2つのトライステート・バッファを設けてあり，相互のデータどうしが競合しない様ゲーティングされています．

3章　システムの組立

3．1　部品の確認

組立てに入る前に，表3－1の全部品が間違いなく揃っているかどうかを確認して下さい．

表3－1　パッケージリスト

部番	品　　名	規　　　　格	個数
①	I/Oボード本体	S－0528	1
②	ユーザズマニュアル	P－00018	1
③	保証書	―――――	1
④	マザーボード	100PINコネクタ付	1
⑤	I C	μPB8216C	2
⑥	セムスネジ	M3×8　平，バネ座金付	1
⑦	六角ナット	M3	1
⑧	バネ座金	M3	2
⑨	金属スペーサ	D03013	2

3．2　組立上の注意事項と保証範囲

本ボードは微小アナログ信号を処理する関係上，ハイ・インピーダンスな入力ラインを持ち，又N・MOS, C・MOS等の静電破壊に弱い素子も含まれています．従って特に乾燥期に於ける組立には十分注意し，化繊のブラシによる埃とり，発泡スチロール上の組立等は行わないで下さい．又，製品の性質上，部品ムキ出しの状態となっておりますので，水分，金属性埃の発生する環境下での作業は避けて下さい．

ハンダ付け作業を伴う場合は，電流リークの少ない20W以下のハンダ・ゴテ(出来ればGNDワイヤー付）を使用し，電源結線後の作業の場合は必ず電源OFF状態にてハンダ付け処理を行って下さい．

写真２－１を参照して下さい．本ボードは物理的に２つのブロックに分かれています．部品の実装されている既成回路部と，応用付加回路の為のユニバーサル・パターン部（フリーエリア）です．この二つの領域は両面ともGNDパターンで囲まれ区分されています．<u>保証の対象となるのは既成回路部に限定されますので，保証書の保証規定をよく読んで留意しておいて下さい</u>．

既成回路で取扱う信号は入・出力ともバッファ・ゲートにて十分保護されていますが，外部回路の接続により損傷を与えない様，十分確認の上接続を行って下さい．特に本ボード上には＋12V，－12V，＋５Vの３種のDC電源ラインのパターンが配置されていますので，誤りのない様，又接触等には十分注意を払って下さい．

3．3　部品の実装とボードの結合

3．3．1　附属IC, 及びオプション部品の実装

TK－85トレーニングブックの見開き頁のTK－85ボード写真を参照して下さい．IC24, IC25(バッファICソケット)にＩ／Ｏボード附属部品のIC, 8216（２個）を挿入して下さい．(図３－２手順１).

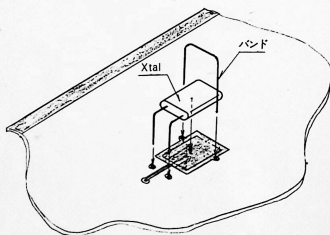



図３－１　Xtal 実装図

I／Oボード PSGブロックで，オプションとしてのLSI，AY－3－8910及びXtal（3,579545 MHz）を購入された方は，PSG用ソケットにLSIを挿入し，Xtalを相当パターン上の印刷位置に寝かせて取付けハンダ付けを行って下さい．又，図3－1の様にXtalケース接地用のバンド（ハチマキ）をかけハンダ付けして下さい．

3．3．2　ボードの結合

TK－85トレーニングブックの見開き頁の図Aを参照して下さい．図に示されている穴6に取り付けられているゴム足，スペーサ，ビス，平ワッシャー，ナットを一旦取り外して下さい．

図3－2を参照して下さい．まず手順“2”に示す様にマザーボードにTK－85本体ボードを挿入して下さい．次に，手順“3”に示す様にTK－85本体ボードの穴上に付属の金属スペーサをビス（ネジ）を用いて固定して下さい．そして手順“4”の様に注意深くI／Oボードをマザーボードの上段側のコネクタに挿入し，金属スペーサ突起部（ネジ部）にボードの穴を合せて，手順“5”の様にバネ座金とナットで締め付け固定します．

各電源の消費電流は1章の仕様 項目2 を参照下さい．この内，＋5Vに関してはTK－85本体側にて 1.2A（公称値）を必要としますので，合計2Aの電流容量が必要です．

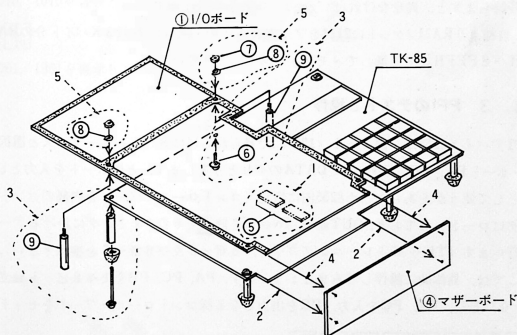
アプリケーション回路を付加する場合は，その分だけ電流を上積みした容量の電源を使用しなければなりません．

注意　＊ 1.── 2.── 3.── 4.── 5.の手順で組立てる。
＊ ○印No.以外の取付部品はTK-85本体より一旦取り外したものを使用する。

図3－2　組み立て図

4章　システムのテストと操作

4．1　TK－85本体のテストと操作

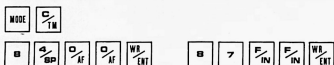
TK－85の操作は，トレーニングブックの1章，3章に沿って，NORMAL－FUNCTION, MODE－FUNCTION, REGISTER－FUNCTION, STEP＆BREAK, の各ファンクションで夫々の項目毎のテストを行って下さい．

4．2　拡張域RAMのテスト

MODE－FUNCTIONのTEST－MEMORYにて，I／Oボード上のRAMをテストします．

現在のRAM－ADRSは8400H～87FFHですので（表5－3参照），KEY操作を次の様に行って下さい．

[MODE] [C/TM]

[8] [4/SP] [0/AF] [0/AF] [WR/ENT]　　[8] [7] [F/IN] [F/IN] [WR/ENT]

数秒待ちますと，異常なければ“good”の表示が現れます．

尚，当初よりRAMソケットに2114をフル実装されている方は，増設3Kバイト分のRAM・ADRS 8400H～8FFFHまでを通しでメモリ・テストして下さい．

4．3　PPIのテストと操作

PPIデバイス8255は，図2－1〈12C〉で見られる様に8ビットデータバスと選択された8ビット・ポートPA，PC，PBの間でDATAのやりとりをします．どのポートを入力として使うか，出力として使うかをあらかじめ8255内に指定（コントロール・ワードを内部のコントロール・レジスタにロード）しておき，OUT命令，IN命令を使ってそのタイミングに於けるデータの出し入れを行います（TK－85トレーニングブック，8章－8及び6章－5を参照下さい）．

ここでは，具体的に操作してみましょう．まず，PA，PC，PBを夫々8ビット独立ポート（MODE－0）とし，PA，PCを入力，PBを出力となる様コントロール・ワードをセットします．

[MODE]・[E/OUT] [0/AF] [3/HL] [WR/ENT] [9] [9] [WR/ENT]

のキー操作を行いますと，上記入出力条件にPPIがイニシャライズ出来ました．

MODE・FUNCTIONの[F/IN]，[E/OUT]キーを使ってPPI各ポートよりの入出力を行ってみます．

4. 3. 1 PAよりの入力テスト

[MODE] [F/IN] [0/AF] [0/AF] [WR/ENT]

のキー操作により7SEG・LEDのデータ部にFFを表示するはずです．これは図5－2の様にPPIのPAはプルアップ抵抗（静電気等よりの保護用R）により，外部入力のない場合はHレベルデータと判別される為です．[F/IN] [0/AF] [0/AF] の00はPAのアドレスです（表5－2参照）．

4. 3. 2 PCよりの入力テスト

PCのアドレスは表5－2より02Hです．又，PCもプルアップされていますので，

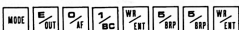
[MODE] [F/IN] [0/AF] [2/DE] [WR/ENT]

のキー操作により7SEG・LEDのデータ部にFFを表示します．

4. 3. 3 PBへの出力テスト

PBのアドレスは表5－2より01Hです．PBに或るデータを出力すると云うことは,そのデータをビットLEDで2進数表示することを意味します．

今，このPBに55H，AAH，99Hと順に出力してみましょう．

[MODE] [E/OUT] [0/AF] [1/BC] [WR/ENT] [5/BRP] [5/BRP] [WR/ENT]

このキー操作により，55Hの2進表示，0101，0101を表示するでしょう．続けて，

[A/SAVE] [A/SAVE] [WR/ENT]

により，1010，1010を表示します．次に続けて，

[9] [9] [WR/ENT]

により，1001，1001を表示します．

4．4　D/Aコンバータのテストと操作

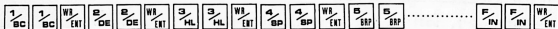
図5－3を参照して下さい．

JPC 2は初期状態（製品出荷時）に於いて，2の“ユニポーラ出力”側になっているはずです（確認して下さい）．この時入力データ00H～ FFH に対して0 V～＋10Vの出力が得られます．

表5－2を参照して下さい．D/Aコンバータのアドレスは08Hです．OUT命令を行うだけでD/Aコンバータはデータを取込み，アナログ値に変換し，出力します．

CON 3のA1－B1にDCVレンジにしたテスター（又はオッシロスコープ）をつないで下さい．

とキー操作しますと，0/AF 0/AF WR/ENT がデータ00Hを出力した時，F/IN F/IN WR/ENT がデータ FFHを出力した時です．夫々，CON 3にDCレベル（アナログ値）として出力されるでしょう．

同様にして，続けて，

とキー操作してみて下さい．各DATA値に応じて段階的にDCレベルが上昇して，最終的に＋10Vになります．

＊＊＊ノコギリ波を発生するプログラムをLIST 4－1に示します．但し高速の為，テスターでは観察出来ません．オッシロスコープにて，写真4－1の波形が確認出来ます＊＊＊．

LIST 4－1　ノコギリ波発生プログラム

```
LOC  OBJ          LINE       SOURCE STATEMENT

                     1 ;  ***** TK85 I/O BOAD *****
                     2 ;
                     3 ;  ***** D/A C. SAW TOOTH *****
                     4 ;
0008                 5 DAOUT    EQU     08H      ; D/A CONVERTER PORT ADDRESS
                     6 ;
8000                 7          ORG     8000H
                     8 ;
8000 3E00            9 START:   MVI     A,00H    ; INITIAL VALUE
8002 D308           10 LOOP:    OUT     DAOUT
8004 3C             11          INR     A        ; INCREMENT ACCUMRATER
8005 00             12          NOP
8006 C30280         13          JMP     LOOP
                    14 ;
                    15          END
```

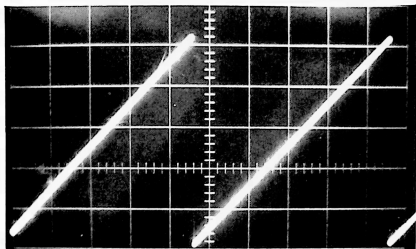



写真４－１　ノコギリ波
２V/DIV　0.5ms/DIV

4．5　A/Dコンバータのテストと操作

図5－4を参照して下さい．A/Dコンバータの入力にはマルチプレクサ（MPX）がつながり，初期状態に於ては，チャンネルセレクターはJPC－1が2側に差されていることによりCH 0をハード指定しております．

スケール校正用POTのTP 2，TP 1を夫々CH 0のTP 4，TP 3へ2本のクリップコードでつないで下さい．POTは右一杯に廻した時が＋5 V（V_{REF}），左一杯に廻した時が0 V（GND）になります．これ等のDCレベルをA/D変換した場合，＋5 VはFFH，0 Vは00H，中間点の＋2.5 Vは7 FH～80Hに相当します．CH 0より取込んだこれ等のデータをA/D変換し，そのデジタル値をビットLED上にて2進表示してみます．

初期状態（製品出荷時）に於いて，モード選択SWは2側の自走モード(5章の5・3参照)になっておりますので，OUT命令で一度変換スタートの起動をかけ，あとはIN命令で次々とデータを読込み，それをPPIのLEDに表示（PBに出力）するだけでよい訳です．プログラムリストをLIST 4－2に示します．プログラムをRAMにストアし，8000Hから実行させて下さい．

LIST4－2 A/Dコンバータ自走モードプログラム

```
 LOC   OBJ          LINE          SOURCE STATEMENT

                      1 ; ***** TK85 I/O BOAD *****
                      2 ;
                      3 ; ***** A/D C. FREE RUN MODE *****
                      4 ;
 0090                 5 COMM     EQU      90H      ; 8255 CONTROL WARD
 0003                 6 PPIC     EQU      03H      ; PPI PORT ADDRESS
 0004                 7 MPX      EQU      04H      ; PPI CONTROL PORT ADDRESS
 0006                 8 ADCV     EQU      06H      ; A/D CONVERTER PORT ADDRESS
 0001                 9 PPID     EQU      01H      ; PPI OUTPUT PORT ADDRESS
                     10 ;
 8000                11          ORG      8000H
                     12 ;
 8000 3E90           13 START:   MVI      A,COMM
 8002 D303           14          OUT      PPIC     ; 8255 INTIALIZE
 8004 3E00           15          MVI      A,00H
 8006 D304           16          OUT      MPX      ; ASSIGN CHANNEL 0
 8008 D306           17          OUT      ADCV     ; ADC START
                     18          ;
 800A DB06           19 LOOP:    IN       ADCV     ; READ DATA
 800C D301           20          OUT      PPID     ; DISPLAY DATA TO LED
 800E C30A80         21          JMP      LOOP
                     22 ;
                     23          END
```

先のPOT 2を廻してみると，回転につれてビットLEDの点灯が2進表示でシフトして行くのが分かるでしょう．CON 3のCH 0端子(A5, B5)にDCVレンジにしたテスターをつなげば，A/D変換の対応が確認出来ます．

4．6　PSGの出力テスト

図5－5を参照して下さい．3章の3．3．1で説明しました様に，PSGチップ及びXtalはオプションとなっております．この部分を実装した上での操作について述べます．表4－1を参照して下さい．表の様にPSGは16個の8ビット・レジスタより成っております．この各レジスタに必要なデータを書込むことにより，一つの音を生成します．図2－2に見られる様に，PSGの制御はTK－85本体側のPPI（8255）にて行っております．PBはレジスタ・アドレス及びワード・データの転送バスとして使用し，PC（下位3ビット）はソフト・リセット，及び上記バスのモード指定（レジスタ・アドレスモード，データ書込モード，データ読取りモード，バス無効モード）を行うコントロール・バスとして使用しております．

表4－1　PSG内部レジスタ構成

レジスタ ＼ データビット		B_7	B_6	B_5	B_4	B_3	B_2	B_1	B_0
R0	CH・A　音階	微調（8ビット）							
R1						粗調（4ビット）			
R2	CH・B　音階	微調（8ビット）							
R3						粗調（4ビット）			
R4	CH・C　音階	微調（8ビット）							
R5						粗調（4ビット）			
R6	ノイズ周波数				同期調整（5ビット）				
R7	イネーブル	ポートA/B		ノイズ			音階		
		IOB	IOA	C	B	A	C	B	A
R8	CH・A　振幅				M	L_3	L_2	L_1	L_0
R9	CH・B　振幅				M	L_3	L_2	L_1	L_0
RA	CH・C　振幅				M	L_3	L_2	L_1	L_0
RB	エンベロープ周期	微調（8ビット）							
RC		粗調（8ビット）							
RD	エンベロープ：波形/回数					CONT	ATT	ALT	HOLD
RE	ポートA　データ	ポートA　8ビット　I／O							
RF	ポートB　データ	ポートB　8ビット　I／O							

各レジスタの機能，詳しい制御方法は，5章の5．5で解説し，ここではこのブロックのテストとして直接，出力テストを行いましょう．LIST4－3のプログラムをRAMに入れ8000Hより走らせて下さい．炸裂音のくり返しが発生します．

LIST 4－3　炸裂音発生プログラム

```
                        3 ; ***** PSG EXPLOSION EFFECT *****
                        4 ;
00F8                    5 PIO       EQU     0F8H     ; PIO ADDRESS
                        6 ;
8000                    7           ORG     8000H
                        8 ;
8000 3E90               9 IT:       MVI     A,90H
8002 D3FB              10           OUT     PIO+3    ; INITIALIZE 8255
                       11 ;
8004 3E00              12 START:    MVI     A,00H
8006 D3FA              13           OUT     PIO+2    ; RESET ALL RESISTERS OF PSG
                       14           ;
8008 214880            15           LXI     H,SDATA  ; SOUND DATA TABLE ADDRESS SET
                       16           ;
800B 1E07              17           MVI     E,7      ; GET DATA NUMBERS OF OBJECTIVE SOUND DATA
800D 46                18 PSGSET:   MOV     B,M      ; SET SOUND DATA IN PSG REGISTERS
800E 23                19           INX     H
800F 4E                20           MOV     C,M      ; SET VALUE DATA IN (C)
8010 23                21           INX     H
8011 CD3080            22           CALL    ADRS
8014 CD3C80            23           CALL    WDATA
8017 1D                24           DCR     E
8018 C20D80            25           JNZ     PSGSET
                       26           ;
                       27 TIME:                      ; TIMER FOR INTERVAL
801B 0E10              28           MVI     C,10H
801D 16FF              29 DLY2:     MVI     D,0FFH
801F 1EFF              30 DLY1:     MVI     E,0FFH
8021 1D                31 DLY0:     DCR     E
8022 C22180            32           JNZ     DLY0
8025 15                33           DCR     D
8026 C21F80            34           JNZ     DLY1
8029 0D                35           DCR     C
802A C21D80            36           JNZ     DLY2
                       37           ;
802D C30480            38           JMP     START
                       39 ;
                       40 $EJECT
                       41 ; *** SUBROUTINE ***
                       42 ;
8030 3E0B              43 ADRS:     MVI     A,0BH    ; ADDRESS MODE SET
8032 D3FA              44           OUT     PIO+2
8034 78                45           MOV     A,B      ; REGISTER ADDRESS SET
8035 D3F9              46           OUT     PIO+1    ; OUTPUT REGISTER ADDRESS
8037 3E08              47           MVI     A,08H    ;INACTIVE
8039 D3FA              48           OUT     PIO+2
803B C9                49           RET
                       50 ;
803C 79                51 WDATA:    MOV     A,C
803D D3F9              52           OUT     PIO+1    ; OUTPUT DATA
803F 3E0A              53           MVI     A,0AH
8041 D3FA              54           OUT     PIO+2    ; WRITE DATA MODE SET
8043 3E08              55           MVI     A,08H    ; INACTIVE
8045 D3FA              56           OUT     PIO+2
8047 C9                57           RET
                       58 ;
                       59 ; *** SOUND DATA TABLE ***
                       60 SDATA:
                       61 ;
8048 06                62           DB      06H,00H ; (R6)   SET NOISE PERIOD TO MAX. VALUE
8049 00
804A 07                63           DB      07H,07H ; (R7)   ENABLE NOISE ONLY ON CHANNELS A,B,C
804B 07
804C 08                64           DB      08H,10H ; (R8)   SELECT FULL AMPLITUDE RANGE
804D 10
804E 09                65           DB      09H,10H ; (R9)       ,,
804F 10
8050 0A                66           DB      0AH,10H ; (RA)       ,,
8051 10
8052 0C                67           DB      0CH,38H ; (RC)   SET ENVELOPE PERIOD TO 2.05 SECONDS
8053 38
8054 0D                68           DB      0DH,00H ; (RD)   SELECT ENVELOPE " DECAY " ,
8055 00
                       69 ;
                       70           END
```

5章　応用の為のシステム解析

前章までの記述で，一通り本システムの概要を理解していただけたことと思います．この章では各機能ブロック毎に，それを活用する為の解析を行います．従って今，現に必要とされている機能ブロックの節を先行して選択的に読まれてもさしつかえありません．

その際も，まず次の全回路図（図５－１～図５－５），Ｉ／Ｏマップ（表５－１，表５－２），メモリマップ（表５－３）に一通り目を通しておいて下さい．

表5−1　I/Oマップ

項　目	ADRS	セレクト信号	デバイス名	機　能
既成回路	00 03	$\overline{PDS\ 0}$	PPI	パラレル　I／O　8255の制御
	04 07	$\overline{PDS\ 1}$	ADC	A/Dコンバータの制御
	08 0B	$\overline{PDS\ 2}$	DAC	D/Aコンバータの制御
応用回路	0C 0F	$\overline{PDS\ 3}$		
	10 13	$\overline{PDS\ 4}$		
	14 17	$\overline{PDS\ 5}$		
	18 1B	$\overline{PDS\ 6}$		
	1C 1F	$\overline{PDS\ 7}$		
	20 23	$\overline{PDS\ 8}$		
	24 27	$\overline{PDS\ 9}$		
	28 2B	$\overline{PDS\ 10}$		
	2C 2F	$\overline{PDS\ 11}$		
	30 33	$\overline{PDS\ 12}$		
	34 37	$\overline{PDS\ 13}$		
	38 3B	$\overline{PDS\ 14}$		
	3C 3F	$\overline{PDS\ 15}$		
未使用	40			
TK−85	FA FB	$\overline{55SL}$	PSG	サウンド・ジェネレータの制御
未使用	FC FF			

表5－2　I/Oマップ既成回路部詳細

デバイス	I/O	ADRS	ラベル	DATA		機能	
				16進数	2　進　数	働　き	備　考
PPI 8255の制御	I/O	0 0	PA		D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0	ポートA入出力	応用
	OUT	0 1	PB		D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0	ポートBへ出力	LEDへAレジスタの内容を2進数表示せよ
	I/O	0 2	PC		D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0	ポートC入出力	応用
	OUT	0 3	INI		D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0	コントロールワードセット	
A/D変換	OUT	0 4	CHS	0 0 ～ 0 3	0 0 0 0 0 0 D_1 D_0	チャンネル・セレクト	D_1 D_0＝チャンネルNo.
	OUT	0 6	ADS	X X	X X X X X X X X	変換スタート	X：任意
	IN	0 6	DRD		D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0	データ読取り	変換された新しいデータを読取れ
D/A変換	OUT	0 8	DAS		D_7 D_6 D_5 D_4 D_3 D_2 D_1 D_0	変換スタート	データ＝00H～FFA
PSGの制御	OUT	F B	WINI	8 8	1 0 0 0 1 0 0 0	ポートイニシャライズWRセット	MODE 0　PA出力，PC(上)入力　PB出力，PC(下)出力
	OUT	F B	RINI	8 A	1 0 0 0 1 0 1 0	ポートイニシャライズRDセット	MODE 0　PA出力，PC(上)入力　PB入力，PC(下)出力
	OUT	F A	ADRS	0 B	0 0 0 0 1 0 1 1	PSGコントロールADRSモード	PBにレジスタアドレス転送中
	OUT	F A	WDATA	0 A	0 0 0 0 1 0 1 0	PSGコントロールWRモード	PSGレジスタにPBを通してデータを書き込め
	OUT	F A	RDATA	0 9	0 0 0 0 1 0 0 1	PSGコントロールREADモード	PBに転送中データを読取れ
	OUT	F A	INACT	0 8	0 0 0 0 1 0 0 0	PSGコントロールバス無効モード	現在転送中のPBの内容は無効である
	OUT	F A	RESET	0 0	0 0 0 0 0 0 0 0	PSGコントロールリセットモード	PSG内全レジスタをクリヤーせよ

表5－3　メモリマップ

アドレス	容量(バイト)	ROM or RAM	備　考
FFFF ↑ 9000	28k	－	未 使 用
8FFF ↑ 8C00	1k	RAM	ユーザーズエリア（オプション）
8BFF ↑ 8800	1k	RAM	ユーザーズエリア（オプション）
87FF ↑ 8400	1k	RAM	ユーザーズエリア
83FF ↑ 83B1	55	RAM	モニタワーキングエリア
83C8 ↑ 83B1	24	RAM	RSTジャンプテーブル
83B0 ↑ 8391	32	RAM	モニタスタックエリア
8390 ↑ 8000	913	RAM	ユーザーエリア
7FFF ↑ 2000	24k	－	未 使 用
1FFF ↑ 1800	2k	PROM	ユーザーズエリア（オプション）
17FF ↑ 1000	2k	PROM	ユーザーズエリア（オプション）
0FFF ↑ 0800	2k	PROM	ユーザーズエリア（オプション）
07FF ↑ 0000	2k	MASK ROM	モニタプログラム

図5－1　RAM･I/O デコーダブロック

TK - 85 I／O BOARD

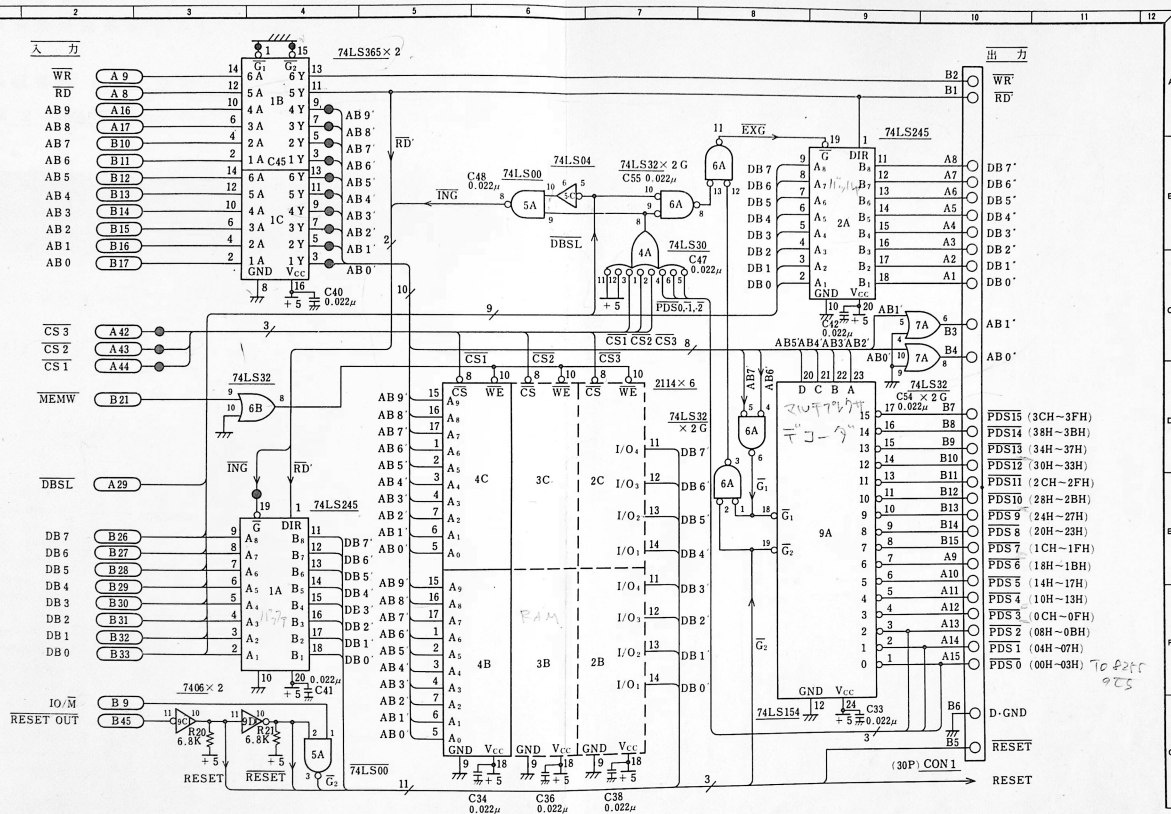
※※※※※※※※※※※※※※※※※※※※※※※※※
※※※※　ユーザーズ　マニュアル　訂正事項　※※※※
※※※※※※※※※※※※※※※※※※※※※※※※※

プリント基板番号 S－0528Aに限り、図5－2（P 26）中のCON 2の端子番号が次の様に変更となりますので御注意下さい。

図5－2　パラレルI/Oブロック

図5－3　D/Aコンバータブロック

図5－4　A/D コンバータブロック

図5－5 電子音発生ブロック

5．1　RAM・I/Oデコーダブロック（図5－1）

増設RAMとしては，1024×4ビットのSTATIC・RAM，2114をペアとして3組用い，3Kバイトの増設を行っております．その内(表5－3参照)アドレス8400H～87FFHまでをIC実装し，残り2Kバイト分はソケットとなっております．このアドレス指定にはTK－85本体よりのメモリ・チップセレクト信号$\overline{CS1}$，$\overline{CS2}$，$\overline{CS3}$を使用しています．又，データバス・バッファ74LS245〈4E〉のゲーティング信号はTK－85よりの$\overline{DBSL}$とのANDにより作られておりますので．この増設RAM領域は外部装置とのDMA転送を行うことは出来ません．〔TK－85側では7SEG・LED表示用データラッチ8212とRAM・アドレス83F8H～83FFHのセグメントデータバッファ間でCPUのM1＊T4タイミングに常時DMA転送（サイクル・スチール）で表示データのやりとりをしておりますので，エッジ端子に出されているアドレスバス，データバス－実装RAM－とも外部装置でのDMAの配慮はなされておりません〕

データバス・バッファ〈4E，9B〉のデータ方向は通常は“エッジ端子よりI／O内部バス”の方向になっており，RD信号アクティヴ（Low）により方向が反転します．座標4Eのバッファは，増設RAMがCPUよりメモリ参照された時，又はI／Oアドレス00H～0BH（PDS0～2）が指定された時にのみ開きます（座標〈7C〉のゲート74LS30）．座標9BのバッファはI／Oアドレス0CH～3FH（PDS3～PDS15）の指定に対してのみ開きます．

5．2　パラレル I/Oブロック（図5－2）

汎用パラレルI／Oポート8255のPBはデータの2進表示にシステムで使っておりますが，PA，PCの各8ビットポートは自由に使えます．

PPI8255の制御手法は各種文献に記載されており，御存知の方も多いと思いますが，ここではその要点を述べておきます．

システムリセット(RESETキーを押すこと)の度に8255にリセットがかかり，PA，PC，PBとも入力モードになること（各ポートは高インピーダンスになり，本システムではこの時の入力保護の為33kΩのプルアップ抵抗でライン・インピーダンスを下げてあります）に注意して下さい．従って，8255を使うプログラムの先頭には必ず各ポートをどの様な機能で使うかの指定（コントロール・ワードのセット）命令を入れておかねばなりません――8255のイニシャライズ．

各ポートの制御方式（機能）には大きく分けて3種のタイプ――モード0，モード1，モード2――があります．

そして，PA+PC（上位ビット）をAグループ（GA），PB+PC（下位ビット）をBグループ（GB）と呼び，この二つのグループは夫々独立のモード設定が出来ます．例えば，GA（モード1）+GB（モード0）とか，GA（モード2）+GB（モード1）とかGA（モード2）＋GB（モード0）と言ったぐあいです．

又，夫々のモード内でPA，PC（上位），PC（下位），PB，の各ポートは夫々独立して入力／出力の指定が行えます（但し本システムでは，PBにはLED表示器が接続されていますので，PBは常に出力指定にしておく必要があります）．

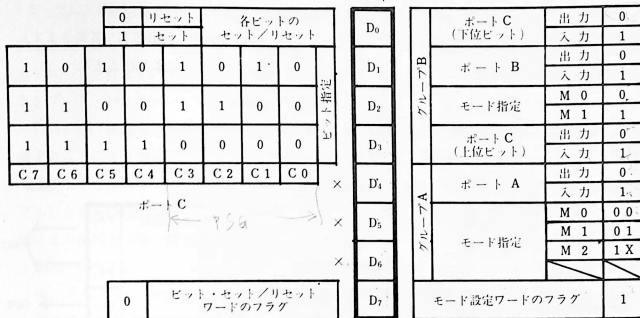



図5－6　8255コントロールワード

図5－6－aを参照して下さい．モード設定及び各ポートの入力／出力設定のコントロールワードです．D_2がGBのモード，D_6D_5がGAのモード設定用ビットです（図でわかる様にGBにはモード2の設定は出来ません）．D_4，D_3，D_0，D_1は夫々PA，PC（上位），PC（下位），PBの入力／出力設定用のビットです．

コントロールワードはもう一種類あります．通常，指定ポートへのデータの読み／書きは，IN／OUT命令を使って8ビット同時に行いますが，PCだけは1ビット毎の書き込み（データ1の書込みをセット，データ0の書き込みをリセットと言う）が出来ます．PCへのビット書込み（ビットセット／リセット）用コントロールワードがそれです．先のモード設定用コントロールワードとの区別にはワードのMSB，D_7が使われております．D_7が1の場合をモード設定用，0の場合をビットセット／リセットのワードと8255は判断します——図5－6－b参照．

コントロールワードレジスタのアドレスは03H（表5－2参照）ですので，コントロールワードが例えばC1Hと決定すれば，

```
MVI A, 0C1H
OUT 3H
```

と書き込めば良い訳です．それでは各モードはどう云う機能を持っているのでしょうか．

5．2．1　8255ーモード０の機能

GAのPA，PC（上位）もGBのPC（下位），PBの場合も，各ポートはバッファドIN又はラッチドOUTと指定出来（モード０に属するPCは４ビットが総て上記の単純入／出力として働きます），又このモードでもPCはビットセット／リセットをコントロールワードにより行えます．

図５－７－ａ　8255モード０ ポートとステータスワード

5．2．2　8255- モード 1 の機能

モード 1に設定されたのがGAであればPAは8ビットデータポートとしてラッチド IN／OUTに設定出来，INポートの場合はPCのPC₄によりストローブされ，OUTポートの場合はPC₆によりストローブされます．又その際の応答信号としてIBF（インプット・バッファ・フル）とOBF(アウトプット・バッファ・フル）があります．

PC₃のINTR は割込要求線ですので，PC₃ TK－85の$\overline{\text{RST5.5}}$（カードエッジ端子B34）に接続することにより割込制御が出来ます．又このモードでは，IN命令によりPC(アドレス：02H）を読みますと，図5－7－bに示すステータスが確認出来ます．INTE（インタラプト・イネーブル）とかSTB等のハンドシェイク線は先のビットセット／リセット用コントロールワードの書込により適時セット／リセットを行います．

GBがモード 1に設定された場合も同様な機能を行います．

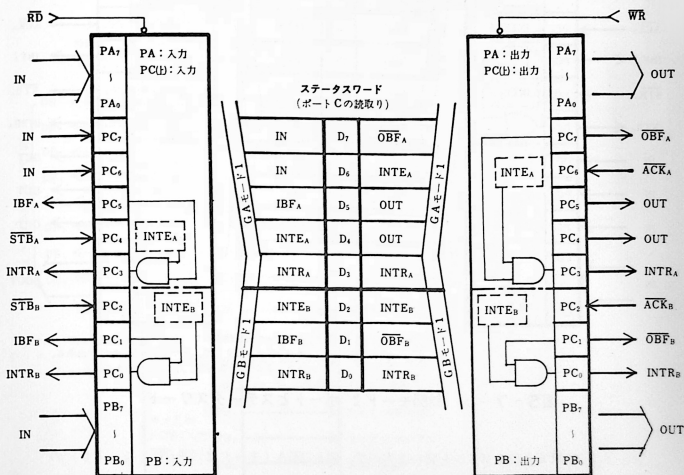
尚，ＰＣの内，制御やステータスに使われていない線は通常の（モード0的な）入出力線として活用出来ます．この入出力指定は，上位ビット（PC_4～PC_7）の場合はビットセット／リセット用コントロールワードにより，下位（PC_0～PC_3）の場合はビットセット／リセット，又は通常のOUT命令で行えます．

＊グループ毎に独立して、モードは設定出来る。
＊ポート毎に独立して、入力又は出力の指定が出来る。
＊入力、出力ともラッチである。

図5－7－b　8255モード 1　ポートとステータスワード

5．2．3　8255－モード２の制御

このモードではPA８ビットは双方向性データポートとして働きます．その制御線としては，PCの内の５ラインPC_3～PC_7を使用します．

図5－7－cを参照下さい．PC_4（STB）にＩ／Ｏ機器側よりLow信号を入れてやるとPAへデータを取り込みます――ラッチドーIN.

PC_6（ACK）にＩ／Ｏ機器よりLow信号を入れてやると，データがPAに出力されます――ラッチドーOUT　STBもACKも来ていない時はPAは高インピーダンス状態に保持されています．

IBF，OBFはモード１の場合と同様にデータの受取り，送り出しを表すステータスです．PC_3はモード１同様割込要求線です．

$\overline{OBF}_A$	D_7	$\overline{OBF}_A$
$INTE_1$	D_6	$INTE_1$
IBF_A	D_5	IBF_A
$INTE_2$	D_4	$INTE_2$
$INTR_A$	D_3	$INTR_A$
IN	D_2	OUT
IN	D_1	OUT
IN	D_0	OUT

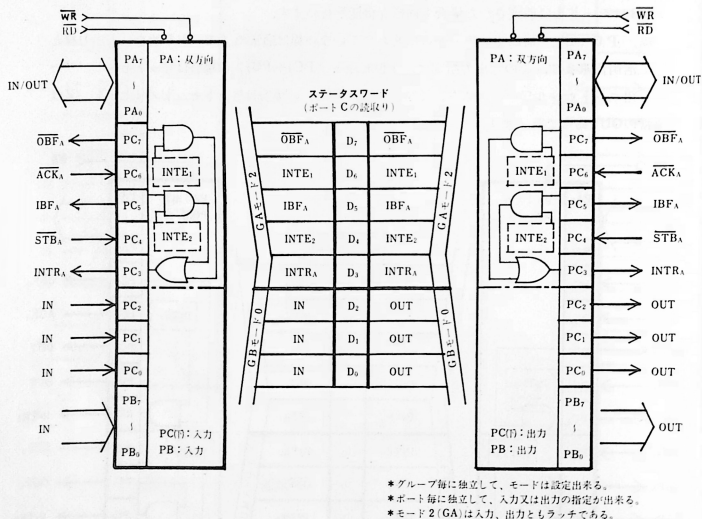



図５－７－ｃ　8255モード２　ポートとステータスワード

モード２ではPC上位５ラインを使いますので，例えばGA（モード２）＋GB（モード０）の組合せに設定した場合はGB側のPCは３ラインのみになります．この例のコントロールワードＣ１Hを説明します．

＊ワード・フラグD_7が1ですので，このワードはモード設定用を意味します．

＊GAのモード指定ビットD_6・D_5が1・0ですのでモード2の指定であることを意味します．

＊PAは双方向ポートとなります．

＊PC（上位4ビット）の入出力指定ビット$D_3=0$は，モード2ではPC_7～PC_3はコントロール線となっておりますので，この際無視されます．

＊GBのモード指定ビットD_2が0ですのでGBはモード0に設定されます．

＊PBの入出指定ビットD_1は0ですのでPBは出力ポートに設定されます．

＊PC（下位4ビット）の入出力指定用ビットD_0は1ですので，入力ポート指定ですが，GAがモード2の時はPC_3はGAに属し割込要求線$INTR_A$となりますので，残り3ラインPC_2, PC_1，PC_0のみが入力ポートに設定されます．

このコントロールワード C1H に於ける応用例を図5－8－aに示します． フロッピーディスクとのインターフェイス例です． この場合，PBには並列にLEDドライブ回路がついていますので，この8ビットLEDはENGAGE HEAD～BUSY間8ラインのステータス表示器として機能します．

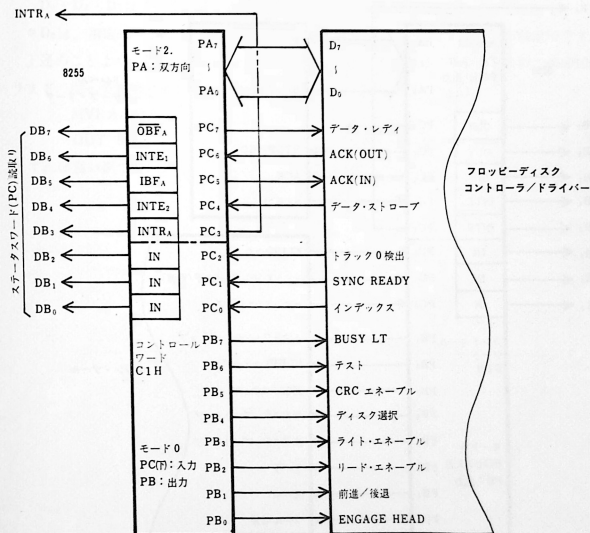



図5－8－a　8255によるフロッピーディスク コントローラ・インターフェイス

次に，モード１とモード０との組合せとして，紙テープから設定値を読込んでマシン・ツールを動かす例を図５－８－ｂに示します．コントロールワードはＢ１Ｈとなります．

＊D_7＝１：モード指定用ワードであることを示します．

＊D_6・D_5＝０・１：GAがモード１に設定されます．

＊D_4＝１：PAは入力ポートに設定されます．

＊D_3＝０：PC（上位４ビット）の内，PC_4（STB），PC_5（ACK）はGA モード１の場合制御線となりますので，残り２本PC_6，PC_7ラインが出力ポートに設定されます．

＊D_2＝０：GBがモード０に設定されます．

＊D_1＝０：PBが出力に設定されます．

＊D_0＝１：PC(下位４ビット)の内,PC_3はGB-モード１の場合,GBに属し割込要求線($INTR_A$)になりますので，残り３本PC_2，PC_1，PC_0のラインが入力ポートに設定されます．

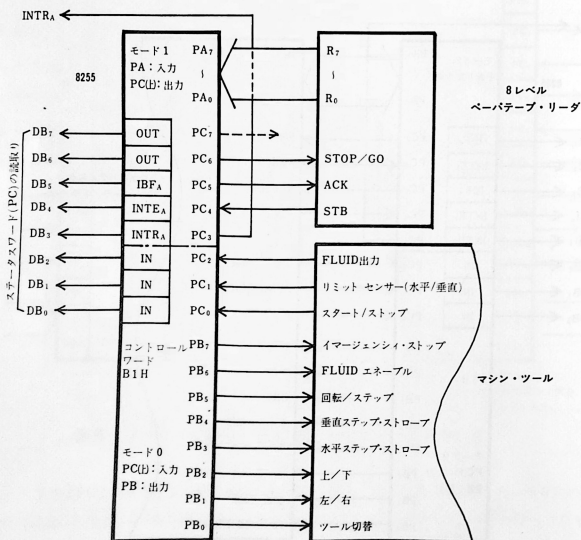



図５－８－ｂ　8255によるマシン・ツールとのインターフェイス

尚，上述の図5－8－aの例でも図5－8－bの例でも：割込制御としており，PC_3（$INTR_A$）ラインをカードエッジ端子B34（$\overline{RST5.5}$）に接続しますが，TK－85システムではユーザ開放の割込線はこの一本しかありません．それに対し，次の節（5章3節）に述べますAD変換は自走モードと割込モードの設定が出来，割込モード時の割込要求ラインはやはりこの$\overline{RST5.5}$を使っておりますので，上述のアプリケーションに於いて割込線を使う場合は，A/Dコンバータのモード選択SWは2側（自走モード）に固定しておき，信号が決して競合しない様注意して下さい．

上述の制御に於いて，割込マスク（INTE）の設定とか，ハンドシェイク線のソフトによる変更等には，ビットセット／リセット制御が有効です．

コントロールワード“ビットセット／リセット”について解説しておきます．図5－6－bを参照して下さい．

*D_7＝0：はこのコントロールワードが“ビットセット／リセット”語であることを示す判定用フラグ・ビットです．

*D_6・D_5・D_4はこのワードでは使用いたしません．

*D_3・D_2・D_1の3ビットでPCの書き込みビットを協定します．例えばPC_4を操作したい場合はD_3・D_2・D_1は1・0・0となります．

*D_0は，指定ビットに1を書く（セット）か，0を書く（リセット）か，の設定用です．

上述のことより，PC_4をセットする（1を書く）コントロールワードは2進数で00001001となります．従って実際の書き込み命令は例えば，

```
MVI A, 9H
OUT 3H
```

とすれば良い訳です．

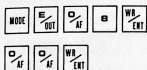
5．3　D/Aコンバータ．ブロック（図5－3）

D/AコンバータもμPバスコンパチブル型（データ入力ラッチ内蔵）を採用してありますので，データバスと直結制御出来ます．出力にはOPアンプ741C(絶対最大電力310mW）にて保護回路を兼ねてバッファリングしてあります．

5．3．1　オフセット調整とスケール

JPC－2を1側に差替えますとバイポーラ出力となりますが，2側に差してユニポーラ出力で使用する場合にゼロ点位置をずらして使いたい場合があります（オフセット調整）．R17－150kΩとPOT 3－20kΩ（10T～20T）を購入し，I／Oボード上の指定位置にハンダ付けして下さい．

同様にスケール調整を必要とする場合は，R16－82kΩとPOT 4－10kΩ（10T～20T）を購入し指定位置にハンダ付けして下さい．

CON 3のA_1B_1端子にDC電圧レンジに設定したテスターを接続して下さい（同時にオッシロスコープで波形をモニターすればより好ましいでしょう）．JPC－2のピンが2側に挿入されていることを確認後，データ00HをD/Aコンバータに書込んで下さい．

このキー操作にてデジタル値00Hがアナログ値0Vに変換されCON 3に出力されました．このアナログ値0VをGNDレベルに対して何ボルト位置に設定するかが，オフセット調整(ゼロ点調整)です．POT 3を回すことによりこの設定を行います．

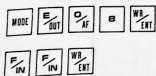
スケール調整（スパン調整）はデジタル値 FFH に対して変換アナログ値を何ボルトに設定するかの調整です(R16,POT 4のスケール調整用部品を実装しない時はデジタル値 FFH に対して，変換アナログ値DC10Vになります)．

書込デジタル値の各ビットの値（2進0か1）をd_7，d_6，d_5………d_0とし，出力アナログ値をE_0，レファレンス入力電圧をV_{REF}としますと次の関係があります．

$$E_0 = \frac{V_{REF}}{k \cdot 2^8}\left(2^7 b_7 + 2^6 b_6 + 2^5 b_5 + \cdots\cdots\cdots\cdots 2^0 b_0\right) \qquad \text{〔式5・1〕}$$

つまり，或るデジタル値に対してV_{REF}の値を変えることにより出力アナログ値を可変出来ます．

MODE　E/OUT　0/AF　8　WR/ENT

F/IN　F/IN　WR/ENT

このキー操作によりデジタル・フルビット値が上式によるアナログ値として出力されます．これをDC電圧何ボルトに設定するかがスケール調整です．POT 4を回すことにより可変出来ます．

尚，可変範囲を拡げたい場合はR_{16}，R_{17}をより低い抵抗値に差替えて下さい．

5．3．2　D/Aコンバータの活用

もう一度式5.1を参照して下さい．V_{REF}として可変信号を入力すると出力はどの様になるでしょう．アナログ信号V_{REF}がデジタル設定値 d_7，d_6，d_5…………d_0
によりGAINコントロールされてアナログ信号値E_0として出力されることに気付かれるでしょう．これが D/Aコンバータを PGA（プログラマブルゲイン・アンプ）とかP・ATT（プログラマブル・アッテネータ）として活用する一方法です．

D/Aコンバータの出力(CON 3：A 1，B 1)をA/Dコンバータの入力(CON 3：A 5，B 5）に接続するとどの様になるでしょう．双方のスケール，オフセットのマッチングをとりますと，或るデジタルデータを一旦アナログ値に変換し，再びデジタルデータに復元させそれを比較することにより，D/Aコンバータ──→A/Dコンバータのリニアリィティとか誤差のTESTが行えます．

＊＊＊D／Aコンバータの変換例として三角波発生のプログラムをLIST 5－1に，フローチャートを図5－9に示します．写真5－1の波形を実現してみて下さい．

又，このプログラム中の命令　INR　Aと　DCR　A　を，夫々　ADI　B_2　と　SUI　B_2（但し　B_2＝8，6，4等）と変えることにより階段波の発生になります＊＊＊

LIST 5－1　三角波発生プログラム

```
 LOC  OBJ          LINE        SOURCE STATEMENT

                      1 ; ***** TK85 I/O BOAD *****
                      2 ;
                      3 ; ***** D/A C. TRIANGLE *****
                      4 ;
 0008                 5 DAOUT   EQU     08H     ; D/A CONVERTER PORT ADDRESS
                      6 ;
 8010                 7         ORG     8010H
                      8 ;
 8010 3E00            9 START:  MVI     A,00H   ; INITIAL VALUE
 8012 D308           10 LOOPP:  OUT     DAOUT
 8014 3C             11         INR     A
 8015 00             12         NOP
 8016 C21280         13         JNZ     LOOPP
                     14         ;
 8019 3D             15 LOOPN:  DCR     A
 801A 00             16         NOP
 801B D308           17         OUT     DAOUT
 801D C21980         18         JNZ     LOOPN
                     19         ;
 8020 C31280         20         JMP     LOOPP   ; AGAIN
                     21 ;
                     22         END
```

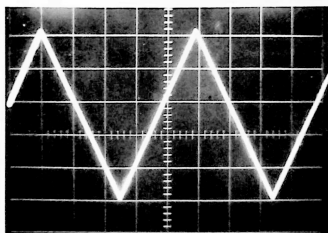



写真5－1　三角波
2 V/DIV 0.5ms/DIV

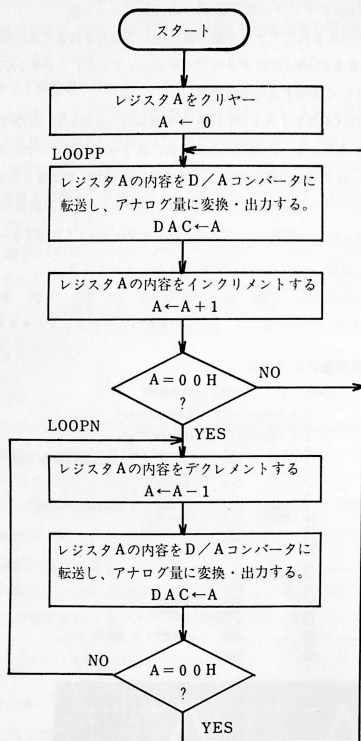



図5－9　三角波発生フローチャート

5．4　A/Dコンバータ．ブロック（図5－4）

A/Dコンバータには逐次電圧比較型（帰還比較型）のCMOS・LSIを採用してあります（付録を参照下さい）．このデジタル出力はトライステート・バッファ付きのμP（マイクロプロセッサ）バス・コンパチブル型となっており，ドライブ（シンク）電流が25℃で3.35mA，50℃で 2.9mAありますのでI／Oボード内既成回路部でデータバスに直結することが可能な訳です．クロック（CLK）はCR外付けによる内蔵発振器を使用しております．

CLK範囲が100k～800kHz ですので，TK－85側よりのCLK（カードエッジ端子A48）を4分周して入力することにより，システムクロックと同期をとることも出来ます（この場合は外付けのCRをとり除いて入力します．但し，それは変換スタートの同期がとれて，オッシロスコープで観察する際，見易いと云う位の効果です）．

5．4．1　アナログ・マルチプレクサ

入力チャンネル増設の為，4チャンネルのアナログ・マルチプレクサ（A－MPX）が付設されています．アナログ入力ラインは総て差動型（平衡型）にしてありますので，電磁誘導とか電源リップル等の同相ノイズに対して，抜群の安定性を持っております．この性能を維持する為に，CON 3への入力部も，差動型プリアンプ，ツイストペアケーブル等を使用して下さい．

A/Dコンバータの入力信号レベルは0V～＋5Vですので過大入力保護の為のダイオード・スライサーを付加してあります．同様にA－MPXのCH 0ラインにも保護回路でレベル制限を行っております．他のCH 1～CH 3を使用される場合，入力信号が0V～＋5Vの範囲を越える危険性のある場合は，必ずこの様な保護回路を付加して下さい（A－MPX，ひいてはA/Dコンバータ 自体の劣化，破損を招きます）．

センサーの出力レベルは(アンプ内蔵のものを除いて) 5V以下のものが大半です．従って，それ等の信号レベルを変化量0V～＋5Vになる様プリアンプにて増幅して各チャンネルへ入力して下さい（差動入力－差動出力のプリアンプ例を図5－10 に示します）．

AMP付センサーとか，他の装置，例えばSG（シグナルジェネレータ），D/Aコンバータ等よりのアナログ出力を接続する場合は，逆にATT（アッテネータ），レベル変換回路で減衰させてCON3へ入力する必要があります．

5．4．2　チャンネル・セレクター

A－MPXのチャンネル指定には，割付け方式でなく，　データ による指定の方式をとっております．CH 0へのハードによる固定をしているJPC－1〈4C〉のピンを抜き取って，1側へ差し換えますとソフト(プログラム）によるチャンネル指定が出来ます．

表5－2に示しましたCHS（ラベル名)の操作を行えば良い訳です．この場合，システムリセットを行いますと，自動的にCH 0を設定します．

5．4．3　ゼロ点調整とスケール調整

ゼロ点調整（オフセット調整）とは，入力アナログ信号の或るレベル（任意）を変換後のデジタル値で0と読取る為の調整です．

スケール調整（スパン調整）とは入力アナログ信号の或るレベル（任意）を FFH と読取る調整です．

一般には，入力信号変化量の最小値を0に，最大値を FFH に調整致しますが，目的により，例えば変化量0V～5Vの信号に対し，3V～4Vの変化のみが重要な場合，アナログ値3Vをデジタル値0，アナログ値4Vを FFH と読取れる様調整する訳です．この処理により，前者に比しA/Dコンバータの分解能を実質的にあげたと同様の効果が期待出来ます．

実際の適用に於ては，3Vと3V以下（アンダーレンジ）の判別及び4Vと4V以上（オーバーレンジ）の判別の為，アナログ3Vをデジタル1Hに，アナログ4Vをデジタル FEH となる様調整し，デジタル0Hはアナログ3V未満の値，デジタル FFH はアナログ4Vを越えた値とCPU側で認識出来る様にし，ソフトにて実際のアナログ入力信号値を算出します．

それでは実際に調整してみましょう．但しこれ等調整回路は未実装となっておりますので，部品を購入し，次の処置をして下さい．

*スケール調整回路―――― 金属被膜 1／4W型抵抗1kΩと10～20回転型ポテンショメータ5kΩを購入し，I／Oボード上印刷のR_{18}とPOT1の位置に挿入，ハンダ付けして下さい．

*ゼロ点調整回路―――― CH0に設置してみます． 図5－10に示す部品を購入しI／Oボードのフリーエリアに組んで下さい．ゼロ点調整とは，信号に或直流バイアスをかける（ゲタをはかせる）ことを意味します．ここでは差動入力ラインの片側（0Y側）にある電流を流し込むことにより実現しています．プリアンプの入力ラインに直流電流を重畳して行っています。

今，変換後の各ビットの値（2進0か1）を$d_7, d_6, d_5, \cdots\cdots d_0$としますと，アナログ入力値$E_i$，レファレンス電圧$V_{REF}$に関して，次の関係があります．

$$\frac{R \cdot E_i}{V_{REF}} = \frac{d_7}{2^1} + \frac{d_6}{2^2} + \frac{d_5}{2^3} + \cdots\cdots \frac{d_0}{2^8} \equiv D \quad 〔式5・2〕$$

つまり，変換されたデジタル値は入力アナログ値をレファレンス電圧で割った値に相当します．スケール調整とはA/Dコンバータへ供給するV_{REF}のレベルを適当な値に設定（調整）することにより実現出来る訳です（図5－4座標9E）．

*ゼロ点調整とスケール調整の手法――――CH0の入力先端部（プリアンプがある場合はプリアンプの入力）にPOT2のTP1とTP3，TP2とTP4をクリップコード等で接続して下さい．

今，アナログ入力値0V～4Vの範囲をデジタル値0～ FFH に変換する例で調整してみましょう． FFH とは10進数で$2^8-1=255$となります．従ってLSB1ビット分の電圧値は，

$$LSB = \frac{4V}{255} \fallingdotseq 15.686mV \quad \therefore \frac{1}{2}LSB \fallingdotseq 7.843mV$$

となります．4章の4.5で試みました様にPPIの8ビットLEDを使って調整してみましょう．

LIST 4 − 2のプログラムを走らせて下さい.

POT−2を一旦左一杯に回して下さい. この時がアナログ値 0.0mVの位置です. 次に少しづつ右方向へ回して最下位のLEDが点滅する位置で止めて下さい. これが, 1/2 LSBの位置であり, 本来なら約 7.8mV でなければなりません. 接続のクリップコードを一旦はずして, POT−2のTP1−TP2間の電圧を測って下さい. 約 7.8mV になっていればゼロ点が合っていることになります. 合っていない場合, POT 2を7.8mVになる様回して, 先のクリップコードにて元の様に接続して下さい. そして, ゼロ点調整用のPOT (図5 − 10のPOT) を回して最下位LEDが点滅する様調整し直して下さい.

次に, スケール調整とは, 最上位LEDが点滅している時アナログ値が4V− 7.8mV =3.9922Vであれば良い訳ですから, 再びクリップコードをはずして, POT 2が3.9922Vとなる様調整し, クリップコードを元にもどして, 最上位LEDの点滅を確認しながらスケール調整用 POT 1を回して下さい (尚, 校正用ポテンショメータ POT 2 に校正電圧を設定する時は必ず, CH 0の入力先端部から接続をはずして行って下さい. 入力インピーダンスが高い為, ノイズが混入し, デタラメなデータ値となります).

****スケール調整, ゼロ調整の回路を付設しない場合でも, 入力プリアンプのGAIN調整回路, アンプ自身のオフセット調整回路部にて, これを代用させることが出来ます.

5. 4. 4 自走制御と割込制御

表5 − 2のA/D変換部を参照して下さい.

A/D変換の手順は,

①使用チャンネルを設定し——MVI A, B_2 OUT 4H

②WR信号にて変換スタートをかけ——OUT 6H

③その結果, 変換時間後, 変換終了の$\overline{\text{INTR}}$が出力され

④RD信号にて出力のトライステート・バッファより変換データが出力され, それを読取る——IN 6H

これが, ADC0804自体の変換シーケンスです. ところで, モード選択SW<6B>を2側の自走モードにして下さい. CSはこの場合GND (Lowレベル) に落ちてますので, 常時このデバイスは選択された状態にあります. 一度WRにて変換スタートをかけますと (OUT 6H), 変換終了後$\overline{\text{INTR}}$が出力され, それがWR端子に返され再び変換スタートをトリガーします. かくしてリサイクル・フリーランニング (自走) を引き起す訳です. このデバイスは内部に出力用の専用レジスタを持っており, その内容は変換終了毎に書き換えられておりますので, 任意の時間にRD信号により読出すことが出来ます (IN 6H).

それでは割込制御はどの様な場合に必要でしょうか. その相違は変換終了が割込により知らせる為, 変換とサンプリングの同期がとれ変換毎にチャンネルを切換えて何種類かのアナログ量を時分割にて測定する場合等に於いて意味合いを持って来ます.

5．4．5 入力回路について

A/D変換の対象となる物理量は，自然界に於いて様々な形態をとっており，従ってそれ等を電気信号に変換するセンサー・トランスジューサ類も様々な種類があります．

これ等により変換された電気信号を安定して忠実に，或る入力条件を持っているA/Dコンバータに入力する為には，その間に何等かの信号処理回路を介在さす必要があります．

＊プリアンプとインピーダンス変換——センサー・トランスジューサにて検出変換された電圧／電流レベルは一般に数mV／数μAのものが少くありませんし，微少電流→電圧変換等により高出力インピーダンスになりノイズに弱くなっているものもあります．しかも検出部からA/D変換を含んだ処理部までの距離が長いケーブルで引き回される場合も多々あります．この様な場合，センサーの直後にプリアンプを設け信号レベルを上げ，低インピーダンスの差動出力として高レベルで平衡ケーブルにて送り，適正レベルに変換しA/Dコンバータに入力する．と云う方式がとられます．

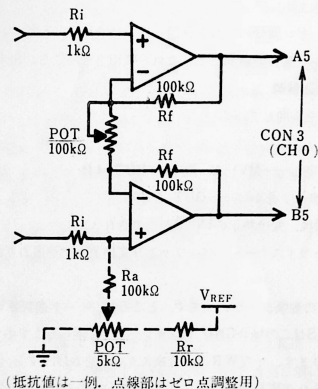



図5－10　差動入力差動出力アンプ

図5－10に差動入力・差動出力型のプリアンプを示します（点線部はA/Dコンバータを含めたゼロ調整用です）．又，インピーダンス変換には出力側，入力側ともボルテージフォロワを付加することが有効ですが，部品，デバイスを付加すると云うことは，それだけ不安定要素が増加する可能性があると云うことにも留意下さい（部品の厳選，温度特性等の均一化，回路の簡素化）．

＊フィルター回路―――センサーよりの検出信号に阻止することの出来ない一定ノイズが混入する場合とか，逆に検出信号が特性周波数に片寄っている場合，フィルターを挿入して除去あるいは選別することが有効です．既成フィルター素子，専用ICによるアクティブ・フィルター等が出回っております(NS社AF100，150等)．

＊サンプル・ホールド回路―――A/D変換時間内に大きな入力変化のある場合には，サンプリング瞬時値を一時的に記憶しておく為のサンプル・ホールド回路を使います．この回路はOPアンプとアナログSWとCで組むことも出来ますが，特性と価格を考慮した場合専用ＩＣを使う方が有利でしょう（Burr－Brown社SHC298AM，NS社LF398H等があります）．

＊OPアンプ回路用周辺部品

OPアンプにて周辺回路を組む場合，高性能のOPアンプを採用しても，それに付加するC，R，D等に注意を払っておかないと無意味なものになります．増幅器のGAINを決定する部分，入力比較値を決定する部分，電流の方向性を規制する場合等，温度特性，漏洩電流，雑音特性，浮遊容量と浮遊インダクタンスを確認して，目標とするSPECに納まるものを選択しなければなりません．

例えば差動アンプの入力抵抗とフィードバック抵抗として使用する抵抗は，一般に金属被膜抵抗が好ましいでしょう．

電源用パスコンには温度特性はさほど影響ありませんので，インダクタンス成分の大きいフィルム・コンデンサーよりも，むしろセラミックコンデンサを使用して下さい．

電流に方向性を持たせる為にダイオードが使われますが漏洩電流，浮遊容量，温度特性に留意して選定する必要があります．

ソケットとかパターンの引き回し等の実装技術上の問題が回路の性能に大きく影響しますので，高速部の浮遊容量，高インピーダンス入力部のガード電極，アナログGNDとデジタルGNDの分離，アナログ信号線とデジタル信号線の分離，大電流（高電圧）線と微小電流（低電圧）線の分離，等々配慮して行って下さい．

5－5　PSG ブロック（図5－5）

5．5．1　PSG 内部構造と働き

図5－11を参照して下さい．内部には16個のレジスター（R_0～R_F）があり，ここにデジタルデータを書込むことにより，それがアナログ値としての音に変換され出力されます．3種類の音を作成し（3チャンネル出力）外部にて混合して変化に富んだ音を発生させます．

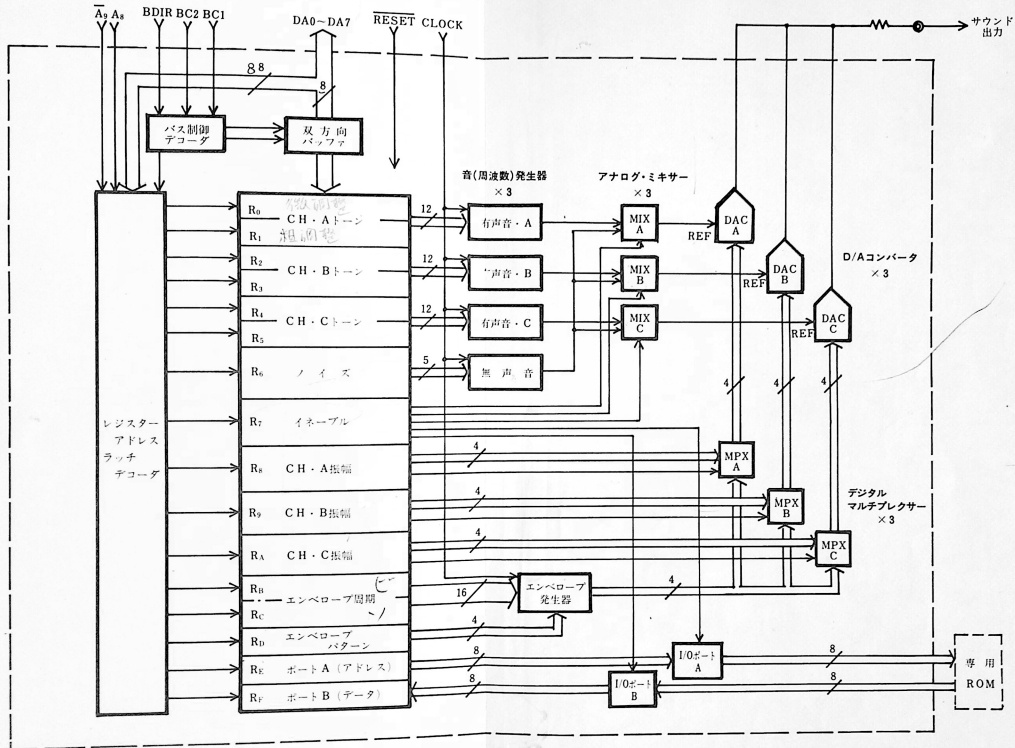



図5－11　PSG内部ブロック図

各レジスタへのデータの設定には，8ビットのデータ／アドレス・バス（DA 0～DA 7）と，データ／アドレスの判別用制御線BC 1，BC 2，BDIRがあります．つまり，DAバス上のデータはバス制御デコーダにより判別され，レジスタアドレスの場合はレジスタアドレス・ラッチ／デコーダに，レジスタデータの場合は指定レジスタの各ビットに書込まれます．

＃1———R_0～R_6内のデータは夫々の周波数発生器にて音に変換されます．

有声音（トーン）の場合

$$f_T=\frac{f_{CLOCK}}{16TP_{10}}\quad 但し\quad TP_{10}=256CT_{10}+FT_{10}$$

f_T：目標トーン周波数〔kHz〕

CT_{10}：R_1（又はR_3，R_5）内データ4ビット2進数の10進数表示値．

FT_{10}：R_0（又はR_2，R_4）内データ8ビット2進数の10進数表示値．

f_{CLOCK}：入力クロック周波数3,579545MHz÷2＝1,789773MHz

無声音（ノイズ）の場合

$$f_N=\frac{f_{CLOCK}}{16NP_{10}}$$

f_N：目標ノイズ周波数〔kHz〕

f_{CLOCK}：入力クロック周波数　1,789773MHz

NP_{10}：R_6内データ5ビット2進数の10進数表示値．

周波数発生器で作成された3種の有声音（トーン）には夫々無声音（ノイズ）がアナログ・ミキサーに於いて混合されます．その指定はR_7内のワードにより行われます．

＃2———R_7のワードが例えば下記の様な2進数の場合（表4－1参照）．

B_7	B_6	B_5	B_4	B_3	B_2	B_1	B_0
0	0	1	0	0	1	1	0

（0：アクティブ）

各ミキサーの出力は，MIX－AはトーンAとノイズの合成信号が，又MIX－Bにはノイズだけが出力され，MIX－Cには何も出力されません．

＃3———R_8，R_9，R_Aには各チャンネル信号の振幅を設定するワードが書込まれます．B_0～B_3の4ビット・デジタル値は振幅指定のワードです．B_4の値は4ビット・マルチプレクサー（MPX－A，－B，－C）に於ける信号の選択用です．例えばMPX－Aに於いて，R_8のB_4が1の場合はR_8よりのB_0～B_3－4ビットワードの代りにエンベロープ発生器よりの4ビットワードが選択され出力されます．

エンベロープとは音声信号振幅を或る波形パターンにて変化させる目的のものです．その波形の周波数を設定するのがR_B，R_C，パターンを設定するのがR_Dです．

＃4 ———R_Bはエンベロープ周波数の微調整，R_Cは粗調整に相当します．

$$f_E = \frac{f_{CLOCK}}{256EP_{10}} \qquad \text{但し} \quad EP_{10} = 256CT_{10} + FT_{10}$$

f_E：目標とするエンベロープ周波数

f_{CLOCK}：入力クロック周波数　1.789773MHz

CT_{10}：R_C内データ8ビット2進数の10進数表示値．

FT_{10}：R_B内データ8ビット2進数の10進数表示値．

＃5 ———R_D内4ビット・ワードは，エンベロープ発生器の（R_C-R_Bで設定された周波数をカウントする）アップダウンカウンターを制御し，図5－12のエンベロープ・パターンを発生します．アップダウンカウンターのパラレル出力4ビットは音声信号の振幅制御信号としてマルチプレクサーへ送られます．

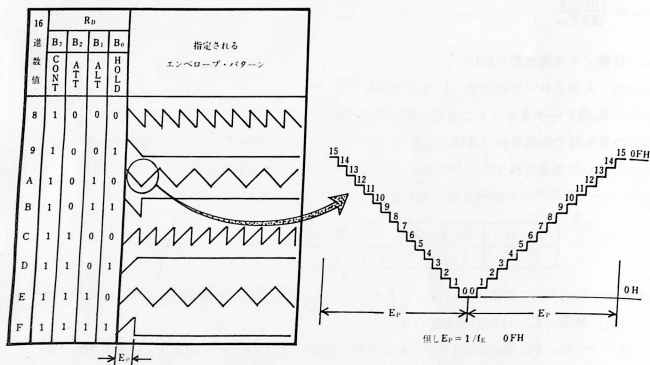



図5－12　PSGエンベロープ・パターン

D/Aコンバータのデジタル入力，レファレンス電圧（V_{REF}），アナログ出力には，5章5-3-1の式5-1の関係があり．デジタル入力値とレファレンス入力電圧との積がアナログ出力値となる訳ですから，レファレンス入力電圧として可変するアナログ信号を考え，デジタル入力を増幅率設定の制御信号と考えることも出来ます．これが5-3-2で述べましたPGA（プログラマブル・ゲイン・アンプ）の考え方です．

このLSI内の3個のD/Aコンバータはその様な使われ方をしています．つまり，アナログ・ミ

キサーで合成された音声信号がD/Aコンバータ（DAC）のREF（レファレンス電圧端子）へ入力され，その振幅をMPXよりの4ビット・デジタル信号が制御しています．

＃6 ——— R_E, R_Fは内蔵I／Oポートとデータ／アドレス・バス（DA0～DA7）のデータ転送用バッファレジスタです．I／Oポートの入出力指定はR_7のB_6, B_7で行います．例えばB_6に1（出力指定）をB_7に0を書きますと，R_E内容がポートAより出力され，逆にポートBからはデータが取込まれR_Fに格納されます．この2個のI／Oポートは専用ROMを外部に付設する時(例えばポートAをROMのアドレスバスにポートBをデータバスに使用）とか，PSGにからんだ制御線として使用することが出来ます．つまり，CPU側から見ればR_E, R_Fとの転送処理が加わりますのでやゝ複雑な操作になりますが，システムとしては8ビットI／Oポート(ラッチド出力，バッファド入力）が2個増設された機能と見ることも出来ます．

5．5．2 PSG データ・セットの手法

各レジスターに順次データを設定することにより音の作成が行われるしくみが理解いただけたと思いますが，それではレジスクへのデータの読み書きはどの様な手順になるでしょう．

表5－5 PSGコントロールワード

PSG コントロールワード ＼ PSG 入力端子 ＼ PPI ポートC		PC3	―	PC1	PC0	
		$\overline{RESET}$	($\overline{BC2}$)	BDIR	BC1	16進数表示値
PSG全レジスタをクリヤー	$\overline{RESET}$	0	0	0	0	0H
DAバス無効	INACT	1	0	0	0	8H
PSGよりデータを読取る	RDATA	1	0	0	1	9H
PSGへデータを書込み	WDATA	1	0	1	0	AH
レジスタアドレスを送出	ADRS	1	0	1	1	BH

4ビット・コントロールワードの組合せは表5－5の様になります．データ／アドレス・バスをアクティブとする時の状態は3つあります（図5－13 タイミングチャート参照）．これにリセット状態を加えた4モードでPSGの制御は行われます．

LIST4－3 と先のタイミングチャートを比較参照して下さい．

＊アドレスモードでは，TK-85本体のPPI・8255のポートCに，先にコントロールワード“ADRS”を出力し，ポートBにレジスタアドレスを出力します．その後コントロールワード“INACT”をポートCに出力します．

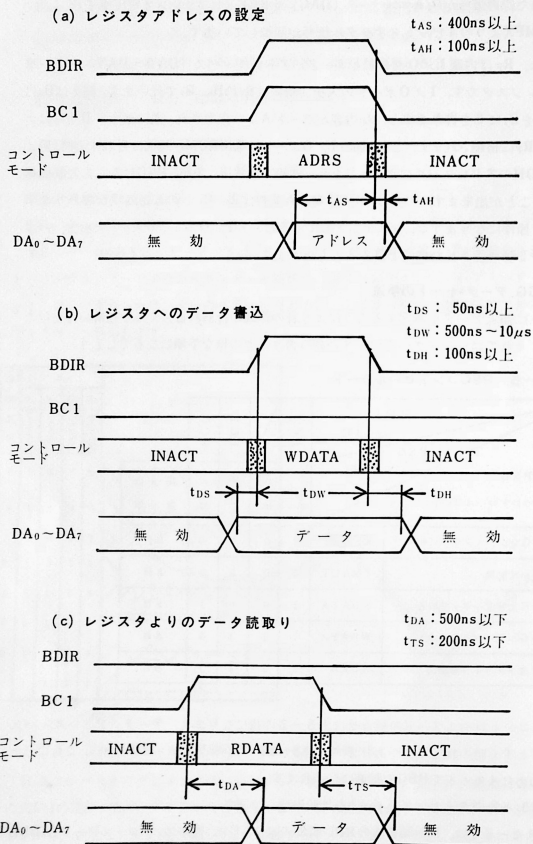



図5－13 PSGタイミングチャート

*ライトデータモードでは先にレジスタ内への書込データをポートBに出力し，その後コントロールワード“WDATA”をポートCへ出力します．これはタイミングチャートに見られる様に，データバス信号の安定したタイミングでデータをサンプリングする必要からです．その後コントロールワード“INACT”をポートCに出力します．

*リードデータモードでは，先にコントロールワード“RDATA”をポートCに出力し，その後ポートBへ指定のレジスタ内データを読込みその後コントロールワード“INACT”をPCより出力します．このリードデータモードはCPUがレジスタ内容をチェックする場合とか，PSG内蔵I／Oポートを入力ポートとして使う場合に用いられます．

*リセットモードは，全レジスタ内容を一旦ゼロ・クリヤーする目的で用いられます．これはコントロールワード00をポートCへ出力することにより行われます．
RDATAモード又はWDATAモードにはADRSモードを先行させて用いなければなりません．

6章　応用と展開の為に

機械が人間の代行をすると云うことに制御の根本思想がありました．そして今やマイクロコンピュータの導入により，人間では直接管理出来ない分野への機械による直接制御が広く行われつつあります．これ等は前章までに述べて来ました本システムの構成を理解され，応用され拡張されることにより実現出来る訳ですが，実際の設計にあたっては経験的技巧が性能の良し悪しを決定する大きた要素となります．

基本ブロック図

I／Oボード上の各デバイスを活用して，上述の様な制御を行うには，一般に上図に示す構成がとられます．ブロックX，Yが目的とする制御の対象です．入力変換，出力変換ブロックにはI／Oボードの各デバイスが含まれます．又，ここで変換する要素の幾つかはソフト（プログラム）にて代行させる場合もあります．

具体的な応用の幾つかを以下に招介致します．ブロック図に示す様な機能部を付設し，ハードウェア，ソフトウェアの有機的な実験を試みて下さい．ブロック図中，枠外の部分はI／Oボードのフリーエリア（ユニバーサル・パターン部）に形成することも出来るでしょう．

6．1　プログラマブル・アッテネータへの応用

基準電圧（V_{REF}）入力端子をアナログ信号入力端子として用いることにより5章の5．3．2でふれましたプログラマブル・アッテネータが実現出来ます．アッテネートする前に適正レベルまで調整用アンプにて信号レベルをあげておき，行います．

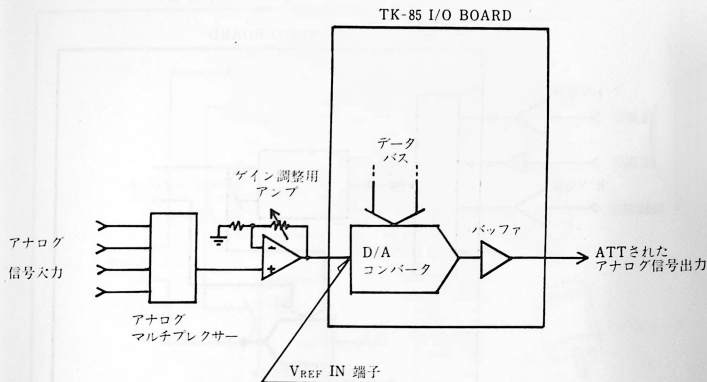



図6－1　プログラマブル・アッテネータ

６．２　デジタル・テスターへの応用

電圧の測定は，５章の４節で行いました様に直接行うことが出来ます．電流の測定は，直列抵抗を経由さすことにより電圧に変換出来ます．抵抗の測定は試料に試験電流を流すことにより検出できます．これ等を適正レベルの電圧に変換してアナログマルチプレクサを経由させてA/Dコンバータへ入力して下さい（尚，X－Y点にD/Aコンバータを挿入することにより，自動レンジ切替えの機能を付加することも可能です）

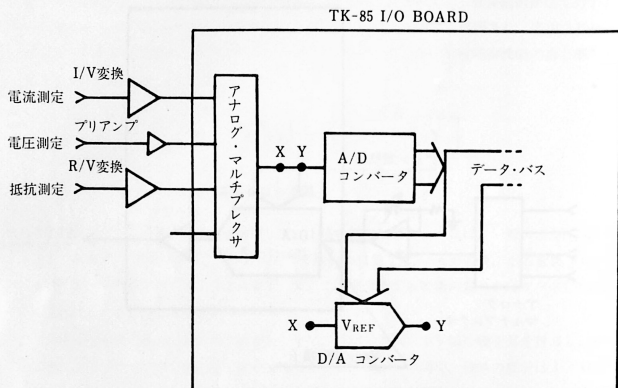



図６－２　デジタル・テスター

６．３　小型モータの制御への応用

D/Aコンバータ出力をアンプしてDCモータへ，タコジェネレータ出力をA/Dコンバータの入力へ結合することにより，閉ループによる速度制御を行うことが出来ます．PPI（8255）のポートCのビットセット／リセット制御によりパルスモータの駆動が行えます．

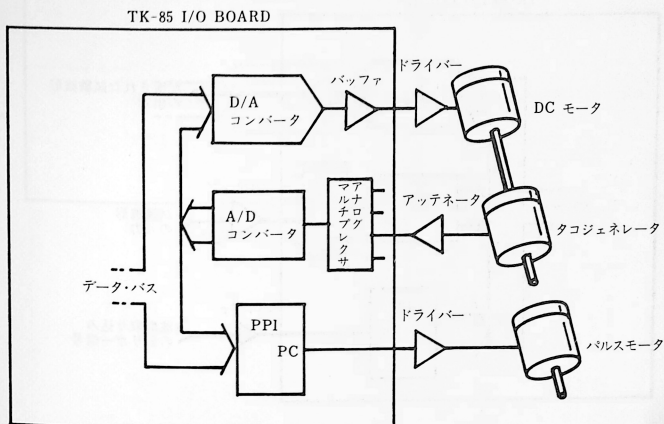



図６－３　小型モータの制御

6．4　ウェーブ・メモリへの応用

電源の立上り波形の記憶等に活用して下さい．高速の波形に対してはプリアンプ部にサンプル・ホールド回路を設ける必要も生じます．記憶スタート（A/D変換スタート）のタイミングを設定する為のトリガー信号をPPIのポートCを用いてCPUへ知らせ試験波形を取り込みます．

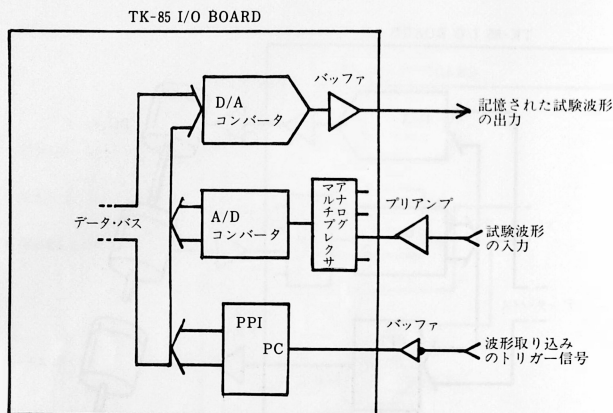



図6－4　ウェーブ・メモリ

6．5　ノイズシュミレータへの応用

D/Aコンバータより任意の波形を発生さすことが出来ます．ドライバーにて目標のノイズ電力まで増幅して用います．

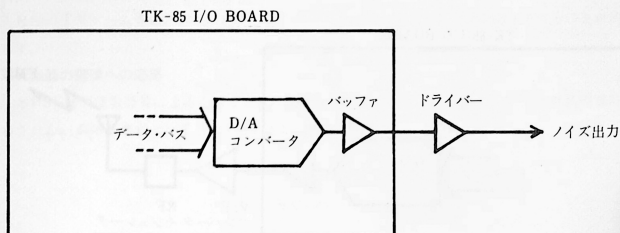



図6－5　ノイズシュミレータ

６．６　リモコン玩具のプログラム制御への応用

プログラムされている制御データをD/Aコンバータを経てアナログ量に変換し，それを制御用周波数にV/Fコンバータを用いて変換します．ＦＭ電波としてとばせる為に，ＲＦモジュレータにて搬送波に乗せ，電力増幅し，アンテナより送信します．

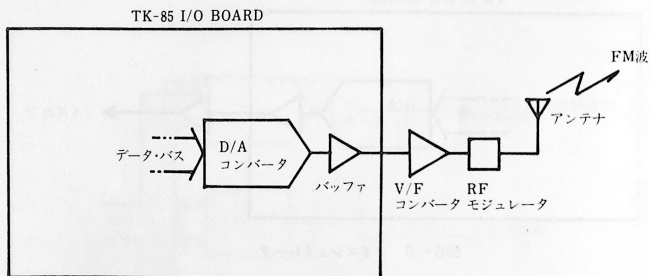



図６－６　リモコン玩具のプログラム制御

6．7　付加回路を必要としない応用例

★ファンクションジェネレータ

プログラムのウデ次第でD/Aコンバータより複雑な波形をも発生させることが出来ます.

★電子オルゴールへの応用

オプションのPSGを用いて，メモリ容量の許す限りの作曲と自動演奏を行うことが出来ます.

★ゲーム機の疑似音発生への応用

自作のＴＶゲーム等に，本ボードのPSGを用いてドラマチックな音を同期発生させることが出来ます.

★楽器の調律への応用

本PSGは周波数計算による正確な音階の電子音を発生させることが出来ますので，外部環境に左右されない調律基準音として活用することが出来ます.

付録　塔載デバイス・データシート

汎用I/Oポート8255A

絶対最大定格(Ta=25℃)

項　　　目	略	定　　　格	単位
電　源　電　圧	Vcc	−0.5〜+7.0	
入　力　電　圧	V_I	−0.5〜+7.0	V
出　力　電　圧	Vo	−0.5〜+7.0	V
動　作　温　度	Topt	0〜+70	℃
保　存　温　度	Tstg	−65〜+125	℃

DC特性（Ta=0℃〜+70℃，Vcc=+5V±5%）

項　目	略　号	条　　件	規格値			単　位
			MIN.	TYP.	MAX.	
高レベル入力電圧	V_{IH}		+2.0		Vcc	V
低レベル入力電圧	V_{IL}		−0.5		+0.8	V
高レベル出力電圧	V_{OH}	$I_{OH}=-50\mu A$ (DBは$I_{OH}=-100\mu A$)	+2.4			V
低レベル出力電圧	V_{OL}	$I_{OL}=1.7mA$			+0.4	V
高レベル入力リーク電流	I_{LIH}	$V_I=V_{CC}$			+10	μA
低レベル入力リーク電流	I_{LIL}	$V_I=+0.4V$			−10	μA
高レベル出力リーク電流	I_{LOH}	$V_o=+4.5V, \overline{CS}=+2.0V$			+10	μA
低レベル出力リーク電流	I_{LOL}	$V_o=+0.4V, \overline{CS}=+2.0V$			−10	μA
出力ドライブ電流	I_{OH}	$V_{OH}=+1.5V$	1.0	2.0	4.0	mA
電　源　電　流	I_{CC}	出力端子オープン Vcc=+5.0V		+40	+120	mA

容量（Ta=25℃, Vcc=0V）

項　目	略　号	条　　件	規格値			単　位
			MIN.	TYP.	MAX.	
入　力　容　量	C_{IN}	fc=1MHz			10	pF
入出力容量	$C_{I/O}$	測定ピン以外は0V			20	pF

AC特性（Ta＝0℃～＋70℃，Vcc＝＋5V±5%）

リードサイクル

項目	略号	条件	規格値			単位
			MIN.	TYP.	MAX.	
アドレス（$\overline{CS}$, $A_{0,1}$）安定時間（対 $\overline{RD}$）	t_{AR}		50			ns
アドレス（$\overline{CS}$, $A_{0,1}$）保持時間（対 $\overline{RD}$）	t_{RA}		0			ns
$\overline{RD}$ パルス幅	t_{RR}		405			ns
$\overline{RD}$ → データ遅延時間	t_{RD}	C_L＝100pF			295	ns
$\overline{RD}$ → データフロート遅延時間	t_{DF}	C_L＝100pF			150	ns
		C_L＝15pF	10			ns
読出，書込回復時間 *	t_{RV}		850			ns

ライトサイクル

項目	略号	条件	MIN.	TYP.	MAX.	単位
アドレス（$\overline{CS}$, $A_{0,1}$）安定時間（対 $\overline{WR}$）	t_{AW}		20			ns
アドレス（$\overline{CS}$, $A_{0,1}$）保持時間（対 $\overline{WR}$）	t_{WA}		20			ns
$\overline{WR}$ パルス幅	t_{WW}		400			ns
データ設定時間（対 $\overline{WR}$）	t_{DW}		10			ns
データ保持時間（対 $\overline{WR}$）	t_{WD}		35			ns

その他

項目	略号	条件	MIN.	TYP.	MAX.	単位
$\overline{WR}$＝0 → 出力遅延時間	t_{WB}	C_L＝50pF			500	ns
周辺データ設定時間（対 $\overline{RD}$）	t_{IR}		0			ns
周辺データ保持時間（対 $\overline{RD}$）	t_{HR}		50			ns
$\overline{ACK}$ パルス幅	t_{AK}		500			ns
$\overline{STB}$ パルス幅	t_{ST}		350			ns
周辺データ設定時間（対 $\overline{STB}$）	t_{PS}		60			ns
周辺データ保持時間（対 $\overline{STB}$）	t_{PH}		150			ns
$\overline{ACK}$ → 出力遅延時間	t_{AD}	C_L＝50pF			400	ns
$\overline{ACK}$ → 出力フロート遅延時間	t_{KD}	C_L＝50pF			300	ns
		C_L＝15pF	20			ns
$\overline{WR}$＝1 → $\overline{OBF}$＝0	t_{WOB}	C_L＝50pF			300	ns
$\overline{ACK}$＝0 → $\overline{OBF}$＝1	t_{AOB}				450	ns
$\overline{STB}$＝0 → IBF＝1	t_{SIB}				450	ns
$\overline{RD}$＝1 → IBF＝0	t_{RIB}				360	ns
$\overline{RD}$＝0 → INTR＝0	t_{RIT}				450	ns
$\overline{STB}$＝1 → INTR＝1	t_{SIT}				400	ns
$\overline{ACK}$＝1 → INTR＝1	t_{AIT}				400	ns
$\overline{WR}$＝0 → INTR＝0	t_{WIT}				850	ns

AC特性 タイミングチャート

モード0 入 力

モード0 出 力

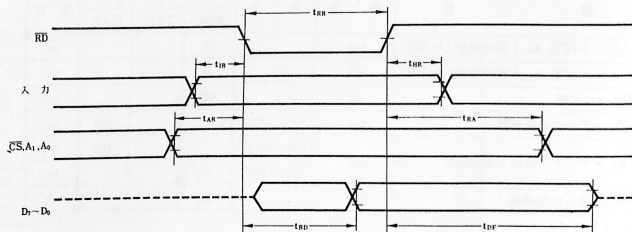
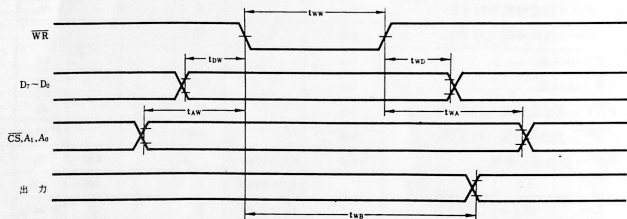
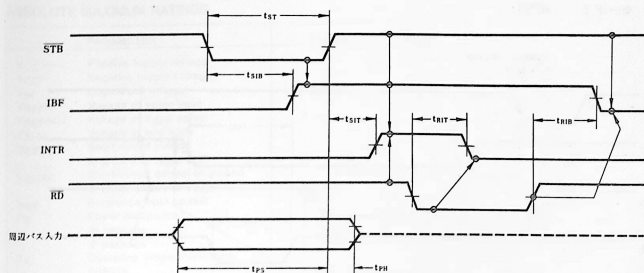
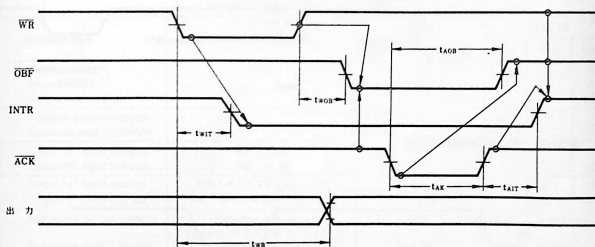
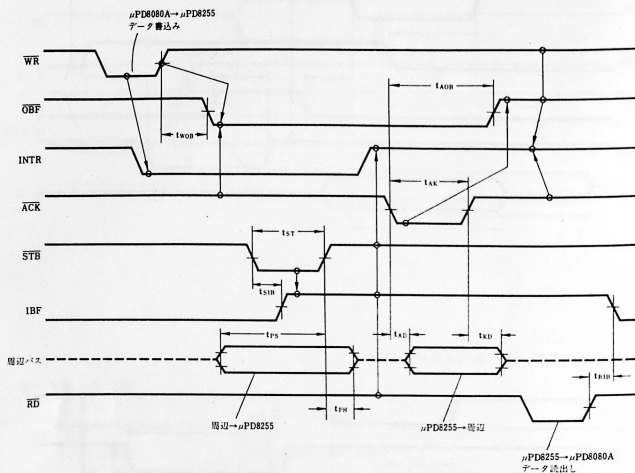
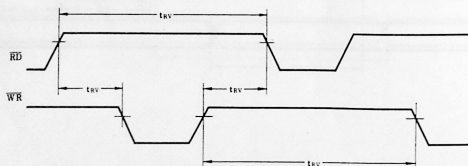
モード1　出　力（ストローブ）

モード2　（双方向）

μPD8080A→μPD8255
データ書込み

WR
OBF
INTR
ACK
STB
IBF
周辺バス
RD

t_{WOB}　t_{AOB}　t_{AK}　t_{ST}　t_{SIB}　t_{PS}　t_{AD}　t_{KD}　t_{RIB}　t_{PH}

周辺→μPD8255
μPD8255→周辺
μPD8255→μPD8080A
データ読出し

＊ 読出，書込回復時間の定義

D/AコンバータNE5018

ABSOLUTE MAXIMUM RATINGS

	PARAMETER	RATING	UNIT
$V_{CC}+$	Positive supply voltage	18	V
$V_{CC}-$	Negative supply voltage	−18	V
V_{IN}	Logic input voltage	0 to 18	V
$V_{REF}IN$	Voltage at V_{REF} input	12	V
$V_{REF}ADJ$	Voltage at V_{REF} adjust	0 to V_{REF}	V
V_{SUM}	Voltage at sum node	12	V
I_{REFSC}	Short-circuit current to ground at V_{REF} OUT	Continuous	
I_{OUTSC}	Short-circuit current to ground or either supply at V_{OUT}	Continuous	
I_{REF}	Reference input current	5	mA
P_D	Power dissipation*		
	-N package	800	mW
	-F package	1000	mW
T_A	Operating temperature range		
	SE5018	−55 to +125	°C
	NE5018	0 to +70	°C
T_{STG}	Storage temperature range	−65 to +150	°C
T_{SOLD}	Lead soldering temperature (10 seconds)	300	°C

*NOTES
For N package, derate at 120°C/W above 35°C
For F package, derate at 75°C/W above 75°C

DC ELECTRICAL CHARACTERISTICS

$V_{CC}+ = +15V$, $V_{CC}- = -15V$, SE5018. $-55°C \le T_A \le 125°C$, NE5018. $0°C \le T_A \le 70°C$ unless otherwise specified.[1]
Typical values are specified at 25°C

	PARAMETER	TEST CONDITIONS	SE5018			NE5018			UNIT
			Min	Typ	Max	Min	Typ	Max	
	Resolution		8	8	8	8	8	8	Bits
	Monotonicity		8	8	8	8	8	8	Bits
	Relative accuracy				±0.1			±0.1	%FS
$V_{CC}+$	Positive supply voltage		11.4	15		11.4	15		V
$V_{CC}-$	Negative supply voltage		−11.4	−15		−11.4	−15		V
$V_{IN(1)}$	Logic "1" input voltage	Pin 1 = 0V	2.0			2.0			V
$V_{IN(0)}$	Logic "0" input voltage	Pin 1 = 0V			0.8			0.8	V
$I_{IN(1)}$	Logic "1" input current	Pin 1 = 0V, $2V < V_{IN} < 18V$		0.1	10		0.1	10	μA
$I_{IN(0)}$	Logic "0" input current	Pin 1 = 0V, $-5V < V_{IN} < 0.8V$		−2.0	−10		−2.0	−10	μA
V_{FS}	Full scale output voltage	Unipolar operation $V_{REF\ IN} = 5.000V$, $T_A = 25°C$	9.50	9.961	10.50	9.50	9.961	10.50	V
V_{FS}	Full scale output voltage	Bipolar operation $V_{REF\ IN} = 5.000V$, $T_A = 25°C$		+4.961 −5.000			+4.961 −5.000		V
V_{ZS}	Zero scale voltage			5			5		mV
I_{OS}	Output short circuit current	$T_A = 25°C$ $V_{OUT} = 0V$		15	40		15	40	mA
PSR+(out)	Output power supply rejection (+)	$V- = -15V$, $13.5V \le V+ \le 16.5V$, external $V_{REF\ IN} = 5.000V$		.001	.01		.001	.01	%FS/%VS
PSR−(out)	Output power supply rejection (−)	$V+ = 15V$, $-13.5V \le V- \le -16.5V$, external $V_{REF\ IN} = 5.000V$		.001	.01		.001	.01	%FS/%VS
TC_{FS}	Full scale temperature coefficient	$V_{REF\ IN} = 5.000V$		20			20		ppm/°C
TC_{ZS}	Zero scale temperature coefficient			5			5		ppm/°C

DC ELECTRICAL CHARACTERISTICS (Cont'd) $V_{CC}+ = +15V$, $V_{CC}- = -15V$, SE5018. $-55°C \leq T_A \leq 125°C$, NE5018. $0°C \leq T_A \leq 70°C$ unless otherwise specified.[1] Typical values are specified at 25°C

PARAMETER		TEST CONDITIONS	SE/5018			NE5018			UNIT
			Min	Typ	Max	Min	Typ	Max	
I_{REF}	Reference output current	$\Delta V_{REF} \leq 0.1\%$		5			5		mA
I_{REFSC}	Reference short circuit current	$T_A = 25°C$ $V_{REF\ OUT} = 0V$		15			15		mA
$PSR+_{(REF)}$	Reference power supply rejection (+)	$V- = -15V$, $13.5V \leq V+ \leq 16.5V$, $I_{REF} = 1.0mA$		.003	.01		.003	.01	%VR/%VS
$PSR-_{(REF)}$	Reference power supply rejection (−)	$V+ = 15V$, $-13.5V \leq V- \leq 16.5V$,		.003	.01		.003	.01	%VR/%VS
V_{REF}	Reference voltage	$I_{REF} = 1.0mA$	4.5	5.0	5.5	4.5	5.0	5.5	V
TC_{REF}	Reference voltage temperature coefficient	$I_{REF} = 1.0mA$		60			60		ppm/°C
Z_{IN}	DAC V_{REF} IN input impedance	$I_{REF} = 1.0mA$	4.0	5.0	6.0	4.0	5.0	6.0	KΩ
$I_{CC}+$	Positive supply current	$V_{CC}+ = 15V$		7	14		7	14	mA
$I_{CC}-$	Negative supply current	$V_{CC}- = -15V$		−10	−15		−10	−15	mA
P_D	Power dissipation	$I_{REF} = 1.0mA$, $V_{CC} = \pm 15V$		255	435		255	435	mW

NOTE
1. Refer to Figure 2.

AC ELECTRICAL CHARACTERISTICS[2] $V_{CC} = \pm 15V$, $T_A = 25°C$

PARAMETER		TO	FROM	TEST CONDITIONS	SE/NE5018			UNIT
					Min	Typ	Max	
T_{SLH}	Settling time	±½ LSB	Input	All bits low to high[3]		1.8		μs
T_{SHL}	Settling time	±½ LSB	Input	All bits high to low[4]		2.3		μs
t_{plh}	Propagation delay	Output	Input	All bits switched low to high[3]		300		ns
t_{phl}	Propagation delay	Output	Input	All bits switched high to low[4]		150		ns
t_{plsb}	Propagation delay	Output	Input	1 LSB change[3,4]		150		ns
t_{plh}	Propagation delay	Output	$\overline{LE}$	low to high transition[5]		300		ns
t_{phl}	Propagation delay	Output	$\overline{LE}$	high to low transition[6]		150		ns
t_s	Set-up time	$\overline{LE}$	Input	2, 7	100			ns
t_h	Hold time	Input	$\overline{LE}$	2, 7	50			ns
t_{pw}	Latch enable pulse width			2, 7	150			ns
	Reference input Slew rate			2		25		v/μs

NOTES
2. Refer to Figure 3.
3. See Figure 6.
4. See Figure 7.
5. See Figure 8.
6. See Figure 9.
7. See Figure 10.

Absolute Maximum Ratings (Notes 1 and 2)

Supply Voltage (V_{CC}) (Note 3)	6.5V
Voltage at Any Input	−0.3V to (V_{CC} +0.3V)
Storage Temperature Range	−65°C to +150°C
Package Dissipation at T_A = 25°C	875 mW
Lead Temperature (Soldering, 10 seconds)	300°C

Operating Ratings (Notes 1 and 2)

Temperature Range (Note 1)	$T_{MIN} \leq T_A \leq T_{MAX}$
ADC0801/02/03/04 LD	$-55°C \leq T_A \leq +125°C$
ADC0801/02/03/04 LCD	$-40°C \leq T_A \leq +85°C$
ADC0801/02/03/04 LCN	$0°C \leq T_A \leq 70°C$
Range of V_{CC} (Note 1)	4.5 V_{DC} to 6.3 V_{DC}

Electrical Characteristics

Converter Specifications:

V_{CC} = 5 V_{DC}, $V_{REF}/2$ = 2.500 V_{DC}, $T_{MIN} \leq T_A \leq T_{MAX}$ and f_{CLK} = 640 kHz unless otherwise stated.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
ADC0801: Total Adjusted Error (Note 8)	With Full-Scale Adj. Only			±1/4	LSB
ADC0802: Total Unadjusted Error (Note 8)	Completely Unadjusted (Zero and Full-Scale)			±1/2	LSB
ADC0803: Total Adjusted Error (Note 8)	With Full-Scale Adj. Only			±1/2	LSB
ADC0804: Total Unadjusted Error (Note 8)	Completely Unadjusted (Zero and Full-Scale)			±1	LSB
$V_{REF}/2$ Input Resistance	Input Resistance at Pin 9		4.8		kΩ
Analog Input Voltage Range	(Note 4) V(+) or V(−)	Gnd−0.05		V_{CC}+0.05	V_{DC}
DC Common-Mode Rejection	Over Analog Input Voltage Range		±1/16	±1/8	LSB
Power Supply Sensitivity	V_{CC} = 5 V_{DC} ±10% Over Allowed $V_{IN}(+)$ and $V_{IN}(-)$ Voltage Range (Note 4)		±1/16	±1/8	LSB

Electrical Characteristics

Timing Specifications: V_{CC} = 5 V_{DC} and T_A = 25°C unless otherwise noted.

	PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
f_{CLK}	Clock Frequency	V_{CC} = 6V, (Note 5) V_{CC} = 5V	100 100	640 640	1280 800	kHz kHz
T_C	Conversion Time	(Note 6)	66		73	$1/f_{CLK}$
CR	Conversion Rate In Free-Running Mode	$\overline{INTR}$ tied to $\overline{WR}$ with $\overline{CS}$ = 0 V_{DC}, f_{CLK} = 640 kHz			8770	conv/s
$t_{W(\overline{WR})L}$	Width of $\overline{WR}$ Input (Start Pulse Width)	CS = 0 V_{DC} (Note 7)	100			ns
t_{ACC}	Access Time (Delay from Falling Edge of $\overline{RD}$ to Output Data Valid)	C_L = 100 pF (Use Bus Driver IC for Larger C_L)		135		ns
t_{1H}, t_{0H}	TRI-STATE Control (Delay from Rising Edge of $\overline{RD}$ to Hi-Z State)	C_L = 10 pF, R_L = 10k (See TRI-STATE Test Circuits)		125		ns
t_{WI}	Delay from Falling Edge of $\overline{WR}$ to Reset of $\overline{INTR}$			320		ns
C_{IN}	Input Capacitance of Logic Control Inputs			5	7.5	pF
C_{OUT}	TRI-STATE Output Capacitance (Data Buffers)			5	7.5	pF

Electrical Characteristics

Digital Levels and DC Specifications:

$4.75\ V_{DC} \leq V_{CC} \leq 5.25\ V_{DC}$ and $T_{MIN} \leq T_A \leq T_{MAX}$, unless otherwise noted.

PARAMETER		CONDITIONS	MIN	TYP	MAX	UNITS
CONTROL INPUTS [Note: CLK IN (pin 4) is the input of a Schmitt trigger circuit and is therefore specified separately]						
V_{IN} (1)	Logical "1" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 5.25 V_{DC}	2.0		15	V_{DC}
V_{IN} (0)	Logical "0" Input Voltage (Except Pin 4 CLK IN)	V_{CC} = 4.75 V_{DC}			0.8	V_{DC}
V_{T+}	CLK IN (Pin 4) Positive Going Threshold Voltage	V_{CC} = 5 V_{DC}		3.1		V_{DC}
V_{T-}	CLK IN (Pin 4) Negative Going Threshold Voltage	V_{CC} = 5 V_{DC}		1.8		V_{DC}
	CLK IN (Pin 4) Hysteresis $(V_{T+}) - (V_{T-})$	V_{CC} = 5 V_{DC}		1.3		V_{DC}
I_{IN} (1)	Logical "1" Input Current (All Inputs)	V_{CC} = 5 V_{DC} V_{IN} = 5 V_{DC}		0.005	1	μA_{DC}
I_{IN} (0)	Logical "0" Input Current (All Inputs)	V_{CC} = 5 V_{DC} V_{IN} = 0 V_{DC}	−1	−0.005		μA_{DC}
I_{CC}	Supply Current	f_{CLK} = 640 kHz, T_A = 25°C and $\overline{CS}$ = "1"		1.8		mA
DATA OUTPUTS AND $\overline{INTR}$						
V_{OUT} (0)	Logical "0" Output Voltage	I_O = 1.6 mA V_{CC} = 4.75 V_{DC}			0.4	V_{DC}
V_{OUT} (1)	Logical "1" Output Voltage	I_O = −360 μA V_{CC} = 4.75 V_{DC}	2.4			V_{DC}
I_{OUT}	TRI-STATE Disabled Output Leakage (All Data Buffers)	V_{OUT} = 0 V_{DC} V_{OUT} = 5 V_{DC}	−3		 3	μA_{DC} μA_{DC}
	Output Short Circuit Current	V_{OUT} Short to Gnd V_{OUT} Short to V_{CC} V_{CC} = 5.0V, T_A = 25°C		6 16		mA_{DC} mA_{DC}

Note 1: Absolute maximum ratings are those values beyond which the life to the device may be impaired.

Note 2: All voltages are measured with respect to Gnd, unless otherwise specified. The separate A Gnd point should always be wired to the D Gnd.

Note 3: A zener diode exists, internally, from V_{CC} to Gnd and has a typical breakdown voltage of 7 V_{DC}.

Note 4: For $V_{IN}(-) \geq V_{IN}(+)$ the digital output code will be 0000 0000. Two on-chip diodes are tied to each analog input (see block diagram) which will forward conduct for analog input voltages one diode drop below ground or one diode drop greater than the V_{CC} supply. Be careful, during testing at low V_{CC} levels (4.5V), as high level analog inputs (5V) can cause this input diode to conduct–especially at elevated temperatures, and cause errors for analog inputs near full-scale. The spec allows 50 mV forward bias of either diode. This means that as long as the analog V_{IN} does not exceed the supply voltage by more than 50 mV, the output code will be correct. To achieve an absolute 0 V_{DC} to 5 V_{DC} input voltage range will therefore require a minimum supply voltage of 4.950 V_{DC} over temperature variations, initial tolerance and loading.

Note 5: With V_{CC} = 6V, the digital logic interfaces are no longer TTL compatible.

Note 6: With an asynchronous start pulse, up to 8 clock periods may be required before the internal clock phases are proper to start the conversion process.

Note 7: The $\overline{CS}$ input is assumed to bracket the $\overline{WR}$ strobe input and therefore timing is dependent on the $\overline{WR}$ pulse width. An arbitrarily wide pulse width will hold the converter in a reset mode and the start of conversion is initiated by the low to high transition of the $\overline{WR}$ pulse (see timing diagrams).

Note 8: All of the A/Ds are specified without requiring a zero adjust.

Typical Performance Characteristics

Logic Input Threshold Voltage vs. Supply Voltage

Delay From Falling Edge of $\overline{RD}$ to Output Data Valid vs. Load Capacitance

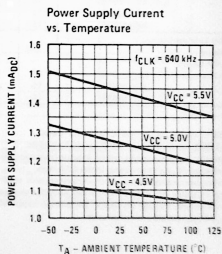
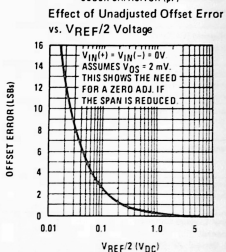
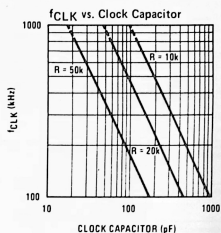
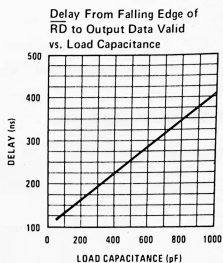
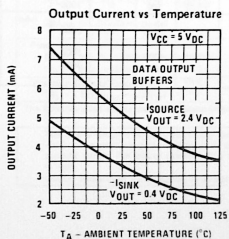
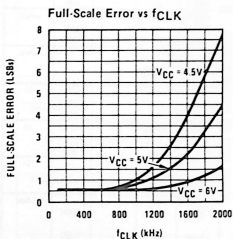
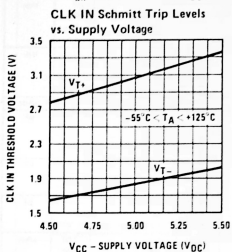
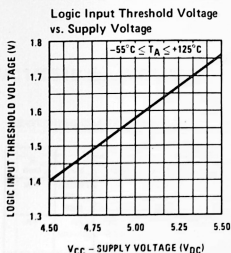
CLK IN Schmitt Trip Levels vs. Supply Voltage

f_{CLK} vs. Clock Capacitor

Full-Scale Error vs f_{CLK}

Effect of Unadjusted Offset Error vs. $V_{REF}/2$ Voltage

Output Current vs Temperature

Power Supply Current vs. Temperature

アナログマルチプレクサMC14052B

MC14051B thru MC14053B

ELECTRICAL CHARACTERISTICS

Characteristic		Symbol	$V_{DD}-V_{EE}$ Vdc	T_{low}* Min	T_{low}* Max	25°C Min	25°C Typ	25°C Max	T_{high}* Min	T_{high}* Max	Unit
Output Voltage, $V_{in} = V_{DD}$ or V_{SS}, $V_{SS} = V_{EE}$	"0" Level	V_{OL}	5.0	–	0.05	–	0	0.05	–	0.05	Vdc
			10	–	0.05	–	0	0.05	–	0.05	
			15	–	0.05	–	0	0.05	–	0.05	
$V_{in} = 0$ or V_{DD}	"1" Level	V_{OH}	5.0	4.95	–	4.95	5.0	–	4.95	–	Vdc
			10	9.95	–	9.95	10	–	9.95	–	
			15	14.95	–	14.95	15	–	14.95	–	
Input Voltage#	"0" Level	V_{IL}									Vdc
(V_O = 4.5 or 0.5 Vdc)			5.0	–	1.5	–	2.25	1.5	–	1.5	
(V_O = 9.0 or 1.0 Vdc)			10	–	3.0	–	4.50	3.0	–	3.0	
(V_O = 13.5 or 1.5 Vdc)			15	–	4.0	–	6.75	4.0	–	4.0	
	"1" Level	V_{IH}									Vdc
(V_O = 0.5 or 4.5 Vdc)			5.0	3.5	–	3.5	2.75	–	3.5	–	
(V_O = 1.0 or 9.0 Vdc)			10	7.0	–	7.0	5.50	–	7.0	–	
(V_O = 1.5 or 13.5 Vdc)			15	11.25	–	11.0	8.25	–	11.0	–	
Input Current (Control, Inhibit)		I_{in}	–	–	–	–	10	–	–	–	pAdc
Input Capacitance (V_{in} = 0)		C_{in}									pF
Control, Inhibit			–	–	–	–	5.0	–	–	–	
Switch Inputs			–	–	–	–	10	–	–	–	
Output Capacitance	MC14051B	C_{out}	10	–	–	–	60	–	–	–	pF
	MC14052B		10	–	–	–	32	–	–	–	
	MC14053B		10	–	–	–	17	–	–	–	
Feedthrough Capacitance	MC14051B	$C_{in\text{-}out}$	10	–	–	–	0.18	–	–	–	pF
	MC14052B		10	–	–	–	0.12	–	–	–	
	MC14053B		10	–	–	–	0.10	–	–	–	
Quiescent Current (AL Device) (Per Package)		I_{DD}	5.0	–	5.0	–	0.005	5.0	–	150	μAdc
			10	–	10	–	0.010	10	–	300	
			15	–	20	–	0.015	20	–	600	
Quiescent Current (CL/CP Device) (Per Package)		I_{DD}	5.0	–	20	–	0.005	20	–	150	μAdc
			10	–	40	–	0.010	40	–	300	
			15	–	80	–	0.015	80	–	600	
Total Supply Current**† (Dynamic plus Quiescent, Per Package)		I_T	5.0	I_T = (0.07 μA/kHz) f + I_Q							μAdc
			10	I_T = (0.20 μA/kHz) f + I_Q							
			15	I_T = (0.36 μA/kHz) f + I_Q							
ON Resistance (AL Device)		R_{ON}	5.0	–	880	–	250	1050	–	1200	Ω
			10	–	400	–	120	500	–	550	
			15	–	220	–	80	280	–	320	
ON Resistance (CL/CP Device)		R_{ON}	5.0	–	880	–	250	1050	–	1200	Ω
			10	–	450	–	120	500	–	520	
			15	–	250	–	80	280	–	300	
Δ ON Resistance Between Any Two Channels		ΔR_{ON}	5.0	–	–	–	25	–	–	–	Ω
			10	–	–	–	10	–	–	–	
			15	–	–	–	5.0	–	–	–	
OFF Channel Leakage Current, Any Channel		–	15	–	100	–	±0.01	100	–	1000	nAdc
(AL Device) All Channels OFF:	MC14051B		15	–	100	–	±0.08	100	–	1000	
	MC14052B		15	–	100	–	±0.04	100	–	1000	
	MC14053B		15	–	100	–	±0.02	100	–	1000	
OFF Channel Leakage Current, Any Channel (CL/CP Device)		–	15	–	1000	–	±0.01	1000	–	3000	nAdc
All Channels OFF:	MC10451B		15	–	1000	–	±0.08	1000	–	3000	
	MC10452B		15	–	1000	–	±0.04	1000	–	3000	
	MC10453B		15	–	1000	–	±0.02	1000	–	3000	

*T_{low} = −55°C for AL Device, −40°C for CL/CP Device.
T_{high} = +125°C for AL Device, +85°C for CL/CP Device.
#Noise immunity is defined as the control input voltage coincident with the specified change, ΔV_{out}, at an output in the OFF state.
**The formulas given are for the typical characteristics only at 25°C.
†Total Supply Current, I_T, is the current drawn at device terminals V_{DD} and V_{SS} for total current through the device. The channel component, $(V_{in}-V_{out})/R_{ON}$, should not be included.

SWITCHING CHARACTERISTICS* (C_L = 50 pF, T_A = 25°C)

Characteristic	Symbol	V_{DD}-V_{EE} Vdc	Typ All Types	Max	Unit
Propagation Delay Times	t_{PLH}, t_{PHL}				ns
Switch Input to Switch Output (R_L = 10 kΩ)					
MC14051					
t_{PLH}, t_{PHL} = (0.17 ns/pF) C_L + 26.5 ns		5.0	35	90	
t_{PLH}, t_{PHL} = (0.08 ns/pF) C_L + 11 ns		10	15	40	
t_{PLH}, t_{PHL} = (0.06 ns/pF) C_L + 9.0 ns		15	12	30	
MC14052					
t_{PLH}, t_{PHL} = (0.17 ns/pF) C_L + 21.5 ns		5.0	30	75	ns
t_{PLH}, t_{PHL} = (0.08 ns/pF) C_L + 8.0 ns		10	12	30	
t_{PLH}, t_{PHL} = (0.06 ns/pF) C_L + 7.0 ns		15	10	25	
MC14053					
t_{PLH}, t_{PHL} = (0.17 ns/pF) C_L + 16.5 ns		5.0	25	65	ns
t_{PLH}, t_{PHL} = (0.08 ns/pF) C_L + 4.0 ns		10	8.0	20	
t_{PLH}, t_{PHL} = (0.06 ns/pF) C_L + 3.0 ns		15	6.0	15	
Inhibit to Output (R_L = 10 kΩ): Output "1" or "0" to High Impedance, or High Impedance to "1" or "0" Level	t_{PHZ}, t_{PLZ}, t_{PZH}, t_{PZL}				ns
MC14051B		5.0	350	700	
		10	170	340	
		15	140	280	
MC14052B		5.0	300	600	ns
		10	155	310	
		15	125	250	
MC14053B		5.0	275	550	ns
		10	140	280	
		15	110	220	
Control Input to Output (R_L = 10 kΩ)	t_{PLH}, t_{PHL}				ns
MC14051B		5.0	360	720	
		10	160	320	
		15	120	240	
MC14052B		5.0	325	650	ns
		10	130	260	
		15	90	180	
MC14053B		5.0	300	600	ns
		10	120	240	
		15	80	160	
Sine Wave Distortion (R_L = 1 kΩ, f = 1 kHz)	–	10	0.04	–	%
Bandwidth (R_L = 1 kΩ, V_{in} = 1/2 (V_{DD} - V_{SS}) p-p, 20 Log 10 $\frac{V_{Out}}{V_{in}}$ = -3 dB)	BW				MHz
MC14051B		10	20	–	
MC14052B		10	30	–	
MC14053B		10	55	–	
Feedthrough Attenuation, Input to Output (R_L = 1 kΩ, 20 Log 10 $\frac{V_{out}}{V_{in}}$ = -50 dB)	–				MHz
MC14051B		10	4.5	–	
MC14052B		10	30	–	
MC14053B		10	55	–	
Channel Separation (R_L = 1 kΩ, V_{in} = 1/2 (V_{DD} - V_{SS}) p-p, 20 Log 10 $\frac{V_{out(B)}}{V_{in(A)}}$ = -50 dB)	–	10	3.0	–	MHz
Feedthrough Control, Input to Output (R_1 = 1 kΩ, R_L = 10 kΩ Control/Inhibit t_{TLH} = t_{THL} = 20 ns)	–	10	30	–	mV
Maximum Control Frequency (R_L = 1 kΩ, V_{out} = 1/2 V_{in})	–	10	10	–	MHz

*The formulas given are for the typical characteristics only.

This device contains circuitry to protect the inputs against damage due to high static voltages or electric fields; however, it is advised that normal precautions be taken to avoid application of any voltage higher than maximum rated voltages to this high impedance circuit. For proper operation it is recommended that V_{in} and V_{out} be constrained to the range $V_{EE} < (V_{in}$ or $V_{out}) < V_{DD}$.

Unused inputs must always be tied to an appropriate logic voltage level (e.g., either V_{SS} or V_{DD}).

ELECTRICAL SPECIFICATIONS

Maximum Ratings

Storage Temperature .... −55°C to +150°C
Operating Temperature .... 0°C to +40°C
V_{CC} and all other input and output
voltages with respect to V_{SS} .... −0.3V to +8.0V

Exceeding these ratings could cause permanent damage to these devices. Functional operation at these conditions is not implied—operating conditions are specified below.

Standard Conditions

V_{CC} = +5V ±5%
V_{SS} = GND
Operating temperature: 0°C to +40°C

DC Characteristics

Characteristic	Sym	Min.	Typ.*	Max.	Units	Conditions
All Inputs						
Logic "0"	V_{IL}	0	—	0.6	V	
Logic "1"	V_{IH}	2.4	—	V_{CC}	V	
All Outputs (except Analog Channel Outputs)						
Logic "0"	V_{OL}	0	—	0.5	V	I_{OL}=1.6 mA, 20pF
Logic "1"	V_{OH}	2.4	—	V_{CC}	V	I_{OH}= 30 μA, 20pF
Analog Channel Outputs	V_o	0	—	60	dB	Test circuit: Fig. 34
Power Supply Current	I_{CC}	—	45	75	mA	

*Typical values are at +25°C and nominal voltages.

Fig. 34 ANALOG CHANNEL OUTPUT TEST CIRCUIT

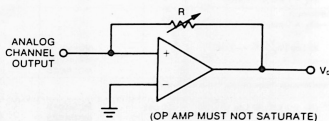
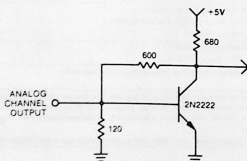



Fig. 35 CURRENT TO VOLTAGE CONVERTER

AC Characteristics

Characteristic	Sym	Min.	Typ.*	Max.	Units	Conditions
Clock Input						
Frequency	f_C	1.0	—	2.0	MHz	Fig. 36
Rise time	t_r	—	—	50	ns	Fig. 36
Fall time	t_f	—	—	50	ns	Fig. 36
Duty Cycle	—	25	50	75	%	Fig. 36
Bus Signals (BDIR, BC2, BC1)						
Associative Delay Time	t_{BD}	—	30	55	ns	Fig. 36
$\overline{\text{Reset}}$						
$\overline{\text{Reset}}$ Pulse Width	t_{RW}	500	—	—	ns	Fig. 37
$\overline{\text{Reset}}$ to Bus Control Delay Time	t_{RB}	100	—	—	ns	Fig. 37
$\overline{\text{A9}}$, A8, DA7--DA0 (Address Mode)						
Address Setup Time	t_{AS}	400	—	—	ns	Fig. 38
Address Hold Time	t_{AH}	100	—	—	ns	Fig. 38
DA7--DA0 (Write Mode)						
Write Data Pulse Width	t_{DW}	500	—	10,000	ns	Fig. 39
Write Data Setup Time	t_{DS}	50	—	—	ns	Fig. 39
Write Data Hold Time	t_{DH}	100	—	—	ns	Fig. 39
DA7--DA0 (Read Mode)						
Read Data Access Time	t_{DA}	—	250	500	ns	Fig. 40
DA7--DA0 (Inactive Mode)						
Tristate Delay Time	t_{TS}	—	100	200	ns	Fig. 40

*Typical values are at 25°C and nominal voltages.

Fig. 36 CLOCK AND BUS SIGNAL TIMING

Fig. 37 RESET TIMING

Training I/O Controler

TK-85 I/O BOARD

ユーザズマニュアル

発 行 所　日本マイクロコンピュータ株式会社
〒102
東京都千代田区麴町4－5－21睦ビル